

IFW

H-1111

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

S. KONISHI et al

Serial No. 10/658,402

Group Art Unit: 2815

Filed: September 10, 2003

Examiner: Eugene LEE

For: A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 8, 2005

Sir:

Submitted herewith is a certified priority document (JP 2002-281607) of a corresponding Japanese patent application for the purpose of claiming foreign priority under 35 U.S.C. § 119. An indication that this document has been safely received would be appreciated.

Respectfully submitted,

Daniel J. Stanger
Registration No. 32,846
Attorney for Applicants

MATTINGLY, STANGER, MALUR & BRUNDIDGE, P.C.
1800 Diagonal Road, Suite 370
Alexandria, Virginia 22314
Telephone: (703) 684-1120
Facsimile: (703) 684-1157
Date: March 8, 2005

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 6 日
Date of Application:

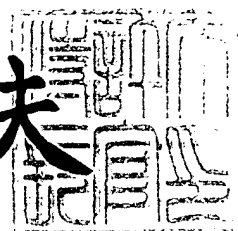
出 願 番 号 特 願 2 0 0 2 - 2 8 1 6 0 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 1 6 0 7]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office


今 井 康 夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

出証番号 出証特 2 0 0 3 - 3 0 8 7 6 1 9

 【書類名】 特許願

【整理番号】 H02010201

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 小西 聡

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 片桐 光昭

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 柳澤 一正

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100083552

 【弁理士】

 【氏名又は名称】 秋田 収喜

 【電話番号】 03-3893-6221

【手数料の表示】

 【予納台帳番号】 014579

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1



【物件名】	図面 1
【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 平面が方形状の半導体基板と、

前記半導体基板の主面上に前記半導体基板の一辺に沿って配置された複数のパッドと、

前記半導体基板の主面上に前記複数の電極パッドに対応して配置された複数の入出力セルと、

前記半導体基板の主面上であって前記複数の入出力セルよりも内側に配置された内部回路形成部と、

前記内部回路形成部に電位を供給する内部回路用電源配線であって、前記複数の入出力セルよりも内側に配置された内部回路用電源配線とを有し、

前記複数の入出力セルは、信号用セルと、内部回路用電源セルとを含み、

前記複数のパッドは、前記信号用セルに対応して配置され、かつ前記信号用セルと電氣的に接続された信号用パッドと、前記内部回路用電源セルに対応して配置され、かつ前記内部回路用電源セル及び前記内部回路用電源配線と電氣的に接続された内部回路用電源パッドとを含み、

前記内部回路用電源パッドは、前記信号用電源パッドよりも前記内部回路用電源配線の近くに配置されていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、

前記内部回路用電源パッドは、前記入出力セルよりも内側に配置されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 に記載の半導体集積回路装置において、

前記内部回路用電源パッドは、前記内部回路用電源配線と平面的に重なるように配置されていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 に記載の半導体集積回路装置において、

前記信号用パッドは、前記入出力セルよりも外側に配置されていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 に記載の半導体集積回路装置において、

前記信号用パッドは、前記入出力セルの外側端部よりも内側に配置されていることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 に記載の半導体集積回路装置において、
前記内部回路用電源配線は、前記内部回路形成部よりも外側に配置されていることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 に記載の半導体集積回路装置において、
前記内部回路用電源配線は、前記内部回路形成部の周囲を囲むようにして延在していることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 に記載の半導体集積回路装置において、
前記信号用セルは、入出力回路が設けられたロジック領域と、保護回路が設けられた最終段領域とを有し、

前記ロジック領域は、前記最終段領域よりも前記半導体基板の一辺側に配置されていることを特徴とする半導体集積回路装置。

【請求項 9】 平面が方形状の半導体基板と、
前記半導体基板の主面上に前記半導体基板の一辺に沿って配置された複数のパッドと、

前記半導体基板の主面上に前記複数のパッドに対応して配置された複数の入出力セルと、

前記半導体基板の主面上であって前記複数の入出力セルよりも内側に配置された内部回路形成部と、

前記内部回路形成部に電位を供給する内部回路用電源配線であって、前記複数の入出力セルよりも内側に配置された内部回路用電源配線と、

前記複数の入出力セルに電位を供給する入出力セル用電源配線であって、前記複数の入出力セルと平面的に重なるように前記半導体基板の一辺に沿って延在する入出力セル用電源配線とを有し、

前記複数の入出力セルは、信号用セルと、内部回路用電源セルと、入出力セル用電源セルとを含み、

前記複数のパッドは、前記信号用セルに対応して配置され、かつ前記信号用セルと電氣的に接続された信号用パッドと、前記内部回路用電源セルに対応して配

置され、かつ前記内部回路用電源セル及び前記内部回路用電源配線と電氣的に接続された内部回路用電源パッドと、前記入出力セル用電源セルに対応して配置され、かつ前記入出力セル用電源セル及び前記入出力セル用電源配線と電氣的に接続された入出力セル用電源パッドとを含み、

前記内部回路用電源パッドは、前記信号用電源パッドよりも前記内部回路用電源配線の近くに配置されていることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 9 に記載の半導体集積回路装置において、
前記内部回路用電源パッドは、前記入出力セルよりも内側に配置されていることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 9 に記載の半導体集積回路装置において、
前記内部回路用電源パッドは、前記内部回路用電源配線と平面的に重なるように配置されていることを特徴とする半導体集積回路装置。

【請求項 12】 請求項 9 に記載の半導体集積回路装置において、
前記信号用パッド及び入出力セル用電源パッドは、前記入出力セルよりも外側に配置されていることを特徴とする半導体集積回路装置。

【請求項 13】 請求項 9 に記載の半導体集積回路装置において、
前記信号用パッドは、前記入出力セルと平面的に重なるように配置され、
前記入出力セル用電源パッドは、前記入出力セル用電源セルと平面的に重なるように配置されていることを特徴とする半導体集積回路装置。

【請求項 14】 請求項 9 に記載の半導体集積回路装置において、
前記内部回路用電源配線は、前記内部回路形成部よりも外側に配置されていることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 9 に記載の半導体集積回路装置において、
前記内部回路用電源配線は、前記内部回路形成部の周囲を囲むようにして延在していることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 9 に記載の半導体集積回路装置において、
前記信号用セルは、入出力回路が設けられたロジック領域と、保護回路が設けられた最終段領域とを有し、

前記ロジック領域は、前記最終段領域よりも前記半導体基板の一辺側に配置さ

れていることを特徴とする半導体集積回路装置。

【請求項 17】 平面が方形状の半導体基板と、

前記半導体基板の主面上に前記半導体基板の一辺に沿って配置された複数のパッドと、

前記半導体基板の主面上に前記複数のパッドに対応して配置された複数の入出力セルと、

前記半導体基板の主面上であって前記複数の入出力セルよりも内側に配置された内部回路形成部とを有し、

前記複数のパッドは、前記複数の入出力セルの外側端部よりも内側に配置されていることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 17 に記載の半導体集積回路装置において、

前記複数のパッドは、各々が対応する前記パッドと平面的に重なるように配置されていることを特徴とする半導体集積回路装置。

【請求項 19】 請求項 17 に記載の半導体集積回路装置において、

前記複数のパッドは、前記半導体基板の一辺側に位置する第 1 のパッドと、前記第 1 のパッドよりも前記半導体基板の一辺から離れて位置する第 2 のパッドとを前記半導体基板の一辺に沿って交互に繰り返し配置した千鳥配列になっていることを特徴とする半導体集積回路装置。

【請求項 20】 請求項 17 に記載の半導体集積回路装置において、

前記内部回路形成部に電位を供給する内部回路用電源配線であって、前記複数の入出力セルよりも内側に配置された内部回路用電源配線と、

前記複数の入出力セルに電位を供給する入出力セル用電源配線であって、前記複数の入出力セルと平面的に重なるように前記半導体基板の一辺に沿って延在する入出力セル用電源配線とを更に有し、

前記複数の入出力セルは、信号用セルと、内部回路用電源セルと、入出力セル用電源セルとを含み、

前記複数のパッドは、前記信号用セルに対応して配置され、かつ前記信号用セルと電氣的に接続された信号用パッドと、前記内部回路用電源セルに対応して配置され、かつ前記内部回路用電源セル及び前記内部回路用電源配線と電氣的に接

続された内部回路用電源パッドと、前記入出力セル用電源セルに対応して配置され、かつ前記入出力セル用電源セル及び前記入出力セル用電源配線と電氣的に接続された入出力セル用電源パッドとを含み、

前記信号用パッドは、前記信号用セルと平面的に重なるように配置され、

前記入出力用電源パッドは、前記入出力セル用電源セルと平面的に重なるように配置され、

前記内部回路用電源パッドは、前記信号用パッドよりも前記内部回路用電源配線側に配置されていることを特徴とする半導体集積回路装置。

【請求項 2 1】 請求項 2 0 に記載の半導体集積回路装置において、

前記内部回路用電源パッドは、前記入出力セルよりも内側に配置されていることを特徴とする半導体集積回路装置。

【請求項 2 2】 請求項 2 0 に記載の半導体集積回路装置において、

前記内部回路用電源パッドは、前記内部回路用電源配線と平面的に重なるように配置されていることを特徴とする半導体集積回路装置。

【請求項 2 3】 平面が方形状の半導体基板と、

信号用パッド及び第 1 の内部回路用電源パッドを含む複数のパッドであって、前記半導体基板の主面上に前記半導体基板の一辺に沿って配置された複数のパッドと、

前記半導体基板の主面上に前記複数の電極パッドに対応して配置された複数の入出力セルと、

前記半導体基板の主面上であって前記複数の入出力セルよりも内側に配置された内部回路形成部と、

前記内部回路形成部に配置された第 2 の内部回路用電源パッドとを有することを特徴とする半導体集積回路装置。

【請求項 2 4】 請求項 2 3 に記載の半導体集積回路装置において、

前記第 2 の内部回路用電源パッドは、前記内部回路形成部の配線チャンネル形成領域上に配置されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に、論理演算回路及びメモリ回路を一つの半導体チップに混載したマイクロコンピュータに適用して有効な技術に関するものである。

【0 0 0 2】**【従来の技術】**

半導体集積回路装置として、例えばマイクロコンピュータと呼ばれる半導体集積回路装置が知られている。図 2 6 は、従来のマイクロコンピュータのレイアウトを示す模式的平面図であり、図 2 7 は、図 2 6 の一部を拡大した模式的平面図である。

【0 0 0 3】

従来のマイクロコンピュータは、図 2 6 に示すように、平面が方形状の半導体チップ 3 0 を主体に構成されている。半導体チップ 3 0 の主面の中央部には内部回路形成部 2 が配置されている。この内部回路形成部 2 には論理演算回路、メモリ回路等の回路ブロックが複数配置されている。

【0 0 0 4】

内部回路形成部 2 の外側には、半導体チップ 3 0 の各辺に対応して 4 つの入出力セル形成部 3 が配置されている。4 つの入出力セル形成部 3 の外側には、半導体チップ 3 0 の各辺に沿って複数のボンディングパッド 9 が配置されている。4 つの入出力セル形成部 3 には、図 2 7 に示すように、夫々に対応する半導体チップ 3 0 の辺に沿って複数の入出力セル 4 が配置されている。入出力セル 4 はボンディングパッド 9 と対応して配置されている。

【0 0 0 5】

内部回路形成部 2 の外側であって入出力セル 4 の内側には、内部回路形成部 2 に電位を供給する内部回路用電源配線 8 a が配置されている。この内部回路用電源配線 8 a は、内部回路形成部 2 の周囲を連続的に延在するリング形状になっている。

【0 0 0 6】

内部回路用電源配線 8 a の外側であってボンディングパッド 9 の内側には、入

出力セル 4 に電位を供給する入出力セル用電源配線 8 b が配置されている。この入出力セル用電源配線 8 b は、内部回路形成部 2 を囲むようにして複数の入出力セル 4 上を連続的に延在するリング形状になっている。

【0 0 0 7】

複数の入出力セル 4 は、信号用セル 5 と、内部回路用電源セル 6 a と、入出力回路用電源セル 6 b とを含む。また、複数のボンディングパッド 9 は、信号用セル 5 に対応して配置され、かつ信号用セル 5 と電氣的に接続された信号用パッド 1 0 と、内部回路用電源セル 6 a に対応して配置され、かつ内部回路用電源セル 6 a 及び内部回路用電源配線 8 a と電氣的に接続された内部回路用電源パッド 1 1 a と、入出力回路用電源セル 6 b に対応して配置され、かつ入出力回路用電源セル 6 b 及び入出力セル用電源配線 8 b と電氣的に接続された入出力セル用電源パッド 1 1 b とを含む。

【0 0 0 8】

ところで、マイクロコンピュータにおいては、多機能化及び高集積化に伴ってボンディングパッド数が増加の一途を辿っている。図 2 6 に示すように、半導体チップ 3 0 の各辺に沿って複数のボンディングパッド 9 を配置するマイクロコンピュータでは、ボンディングパッド数の増加に伴って平面サイズが大きくなる。そこで、ボンディングパッドのレイアウトを工夫して半導体集積回路装置の小型化を図る技術が特開平 1 1 - 4 0 7 5 4 号公報（特許文献 1）に記載されている。この特許文献 1 には、半導体チップの辺に沿って複数のボンディングパッドを千鳥状に配置する技術が記載されている。また、同特許文献 1 の図 4 及び図 4 の説明の段落番号 [0 0 1 4] に記載されているように、「外周および内周ボンディングパッド 1 a, 1 b は信号用としてのみ使用し、バッファ領域よりも内側に配置された最内周のボンディングパッド 4, 5 は電源乃至接地用としてのみ使用する。このため、従来電源ないし接地用としてバッファ領域に確保していた領域を全て信号用のバッファ 2 のために使用できるので、チップ上に必要となる電源および接地ピンの本数に依存することなく半導体チップのサイズを小さくすることができる。また、外周および内周ボンディングパッド 1 a, 1 b とバッファ 2 を接続する配線 3 の幅を十分に確保することができる。」という技術も記載

されている。

【0009】

【特許文献1】

特開平11-40754号公報

【0010】

【発明が解決しようとする課題】

本発明者は、従来のマイクロコンピュータについて検討した結果、以下の問題点を見出した。

【0011】

図27に示すように、内部回路用電源配線8aは、入出力セル4の内側に配置され、内部回路用電源配線8aに電位を供給する内部回路用電源パッド11aは入出力セル4の外側に配置されているため、内部回路用電源パッド11aから内部回路用電源配線8aまでの距離が長くなる。内部回路用電源パッド11aから内部回路用電源配線8aまでの距離が長くなると、内部回路用電源パッド11aと内部回路用電源配線8aとを結線する結線配線の寄生抵抗が大きくなり、電源系の特性が悪化するため、結線配線の幅を広くして寄生抵抗を小さくしている。

【0012】

結線配線の幅を広くするためには内部回路用電源セル6aの幅も広くする必要がある。幅が異なる入出力セル4が混在する場合、入出力セル4の配列ピッチは幅が最も広い入出力セル4に合わせて決定される。信号用セル5、内部回路用電源セル6a、入出力回路用電源セル6bのうち、内部回路用電源セル6aの幅が最も広くなるため、入出力セル4の配列ピッチは内部回路用電源セル6aに合わせて決定される。一方、ボンディングパッド9は入出力セル4と対応して配置されるため、ボンディングパッド9の配列ピッチは入出力セル4の配列ピッチで決定される。即ち、内部回路用電源セル6aの幅でボンディングパッド9の配列ピッチが決定するため、内部回路用電源セル6aの幅が広がるレイアウトではマイクロコンピュータ（半導体集積回路装置）の小型化が困難である。

【0013】

本発明の目的は、半導体集積回路装置の特性を保持或いは高めると共に小型化

を図ることが可能な技術を提供することにある。

【0 0 1 4】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0 0 1 5】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 本発明の半導体集積回路装置は、平面が方形状の半導体基板と、

前記半導体基板の主面上に前記半導体基板の一辺に沿って配置された複数のパッドと、

前記半導体基板の主面上に前記複数の電極パッドに対応して配置された複数の入出力セルと、

前記半導体基板の主面上であって前記複数の入出力セルよりも内側に配置された内部回路形成部と、

前記内部回路形成部に電位を供給する内部回路用電源配線であって、前記複数の入出力セルよりも内側に配置された内部回路用電源配線とを有し、

前記複数の入出力セルは、信号用セルと、内部回路用電源セルとを含み、

前記複数のパッドは、前記信号用セルに対応して配置され、かつ前記信号用セルと電氣的に接続された信号用パッドと、前記内部回路用電源セルに対応して配置され、かつ前記内部回路用電源セル及び前記内部回路用電源配線と電氣的に接続された内部回路用電源パッドとを含み、

前記内部回路用電源パッドは、前記信号用電源パッドよりも前記内部回路用電源配線の近くに配置されている。

(2) 本発明の半導体集積回路装置は、平面が方形状の半導体基板と、

前記半導体基板の主面上に前記半導体基板の一辺に沿って配置された複数のパッドと、

前記半導体基板の主面上に前記複数のパッドに対応して配置された複数の入出力セルと、

前記半導体基板の主面上であって前記複数の入出力セルよりも内側に配置された内部回路形成部とを有し、

前記複数のパッドは、前記複数の入出力セルの外側端部よりも内側に配置されている。

【 0 0 1 6 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【 0 0 1 7 】

(実施形態 1)

本実施形態では、内部回路用電源パッドを信号用電源パッドよりも内部電源用配線の近くに配置した例について説明する。

【 0 0 1 8 】

図 1 は、本実施形態 1 のマイクロコンピュータ（半導体集積回路装置）のレイアウトを示す模式的平面図であり、

図 2 は、図 1 の一部を拡大した模式的平面図であり、

図 3 は、図 2 の一部を拡大した模式的平面図であり、

図 4 は、図 3 の一部を拡大した模式的平面図であり、

図 5 は、図 4 の信号用セルの概略構成を示すブロック図であり、

図 6 は、図 4 の内部回路用電源セルの概略構成を示すブロック図であり、

図 7 は、図 5 の信号用セルに搭載される入出力回路の一例を示す等価回路図であり、

図 8 は、図 5 の信号用セルに搭載される保護回路の一例を示す等価回路図であり、

図 9 は、図 1 の半導体チップの概略構成を示す模式的断面図であり、

図 1 0 は、本実施形態 1 の半導体集積回路装置（半導体チップ）を組み込んだ B G A 型半導体装置の概略構成を示す模式的平面図であり、

図 1 1 は、図 1 0 の B G A 型半導体装置の概略構成を示す模式的断面図であり

、 図 1 2 は、図 1 1 の一部を拡大した模式的断面図である。

【 0 0 1 9 】

本実施形態 1 のマイクロコンピュータは、図 1 に示すように、半導体チップ 1 を主体に構成されている。半導体チップ 1 は、厚さ方向と交差する平面形状が方形状になっており、本実施形態では例えば約 5 mm×5 mm の正方形になっている。半導体チップ 1 は、これに限定されないが、図 9 に示すように、主に、半導体基板 1 a と、この半導体基板 1 a の主面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層 1 b と、この多層配線層を覆うようにして形成された表面保護膜（最終保護膜）とを有する構成になっている。絶縁層は、例えば酸化シリコン膜で形成されている。配線層は、例えばアルミニウム（A l）、又はアルミニウム合金、又は銅（C u）、又は銅合金等の金属膜で形成されている。表面保護膜は、例えば、酸化シリコン膜又は窒化シリコン膜等の無機絶縁膜及び有機絶縁膜を積み重ねた多層膜で形成されている。本実施形態の半導体チップ 1 は、例えば 6 層の金属配線構造になっている。

【 0 0 2 0 】

図 1 及び図 2 に示すように、半導体チップ 1 の主面（半導体基板 1 a の主面上）の中央部には、内部回路形成部 2 が配置されている。この内部回路形成部 2 には、配線チャネル領域で分けられた複数の回路ブロックが配置されている。回路ブロック 2 a には C P U（Central Processing Unit：中央処理装置）が配置され、回路ブロック 2 b には D S P（Digital Signal Processor）が配置され、回路ブロック 2 c にはメモリ回路として R A M（Random Access Memory）が配置され、回路ブロック 2 d には周辺回路が配置され、回路ブロック 2 e には各種コントローラが配置されている。

【 0 0 2 1 】

半導体チップ 1 の主面（半導体基板 1 a の主面上）であって内部回路形成部 2 の外側には、半導体チップ 1 の各辺（半導体基板 1 a の各辺）に対応して 4 つの入出力セル形成部 3 が配置されている。半導体チップ 1 の主面であって入出力セル形成部 3 の外側には、半導体チップ 1 の各辺に沿って複数のボンディングパッド 9 が配置されている。4 つの入出力セル形成部 3 には、図 3 に示すように、夫

々が対応する半導体チップ1の辺に沿って複数の入出力セル4が配置されている。入出力セル4は、ボンディングパッド9と対応して配置されている。

【0022】

内部回路形成部2の外側であって入出力セル4の内側には、内部回路形成部2に電位を供給する複数の内部回路用電源配線8aが配置されている。この内部回路用電源配線8aは、内部回路形成部2の周囲を連続的に延在するリング形状になっている。

【0023】

入出力セル形成部3上には、入出力セル4に電位を供給する複数の入出力セル用電源配線8bが配置されている。この入出力セル用電源配線8bは、内部回路形成部2を囲むようにして複数の入出力セル4上を連続的に延在するリング形状になっている。

【0024】

複数の入出力セル4は、信号用セル5と、内部回路用電源セル6aと、入出力回路用電源セル6bとを含む。また、複数のボンディングパッド9は、信号用セル5に対応して配置され、かつ信号用セル5と電気的に接続された信号用パッド10と、内部回路用電源セル6aに対応して配置され、かつ内部回路用電源セル6a及び内部回路用電源配線8aと電気的に接続された内部回路用電源パッド11aと、入出力回路用電源セル6bに対応して配置され、かつ入出力回路用電源セル6b及び入出力セル用電源配線8bと電気的に接続された入出力セル用電源パッド11bとを含む。

【0025】

また、内部回路用電源パッド11aは、 V_{ss} 電位（例えば0V）が印加される電源パッドと、 V_{ss} 電位よりも高い V_{dd} 電位（例えば2.5V）が印加される電源パッドとを含む。また、入出力セル用電源パッド11bは、 V_{ssq} 電位（例えば0V）が印加される電源パッドと、 V_{ssq} 電位よりも高い V_{ddq} 電位（例えば3.3V）が印加される電源パッドと、 V_{ss} 電位が印加される電源パッドと、 V_{dd} 電位が印加される電源パッドとを含む。

【0026】

また、複数の内部回路用電源配線 8 a は、 V_{ss} 電位に電位固定される配線と、 V_{dd} 電位に電位固定される配線とを含む。また、入出力セル用電源配線 8 b は、 V_{ssq} 電位に電位固定される配線と、 V_{ddq} 電位（例えば 3.3 V）に電位固定される配線と、 V_{ss} 電位に電位固定される配線と、 V_{dd} 電位に電位固定される配線とを含む。

【0027】

信号用セル 5 は、入出力信号を送受信する回路を含むセルであり、内部回路用電源セル 6 a は、内部回路及び内部回路と同電位の電源を必要とする回路へ電位を供給するセルであり、入出力回路用電源セル 6 b は、外部負荷（LSI 外部）を駆動する出力回路の最終段トランジスタ、及び、この最終段トランジスタと同電位の電源を必要とする回路への電位を供給するセルである。

【0028】

複数のボンディングパッド 9 と半導体チップ 1 の辺との間にはガードリング 12 が配置されている。ガードリング 12 は、半導体チップ 1 の各辺に沿って連続的に延在している。ボンディングパッド 9 は、例えば第 6 層目の金属配線層に形成され、内部回路用電源配線 8 a 及び入出力セル用電源配線 8 b は例えば第 5 層目の金属配線層に形成されている。

【0029】

信号用セル 5 は、図 4 に示すように、ロジック領域 15 と最終段領域 16 とを有する構成になっている。信号用セル 5 のロジック領域 15 は、最終段領域 16 よりも半導体チップ 1 の辺側に配置されている。信号用セル 5 のロジック領域 15 には、図 5 に示すように、例えば出力回路 15 a 及び入力回路 15 b 等が配置されている。信号用セル 5 の最終段領域 16 には、最終段出力回路 16 a、保護抵抗素子 16 b 及び保護回路 16 c 等が配置されている。

【0030】

出力回路 15 a、入力回路 15 b 及び最終段出力回路 16 a は、例えば図 7 に示すような、 n チャネル導電型 MISFET- Q_n 及び p チャネル導電型 MISFET- Q_p からなるインバータ回路で構成されている。出力回路 15 a 及び入力回路 15 b においては単体の MISFET が使用され、最終段出力回路 16 a

においては複数のMISFETを並列に接続して構成された出力MISFETが使用されている。

【0031】

保護回路16cは、例えば図8に示すような、ゲート電極とソース電極とを接続したクランプ用n型MISFET-Q_n及びp型MISFET-Q_pで構成されている。保護抵抗素子16bは、例えばポリシリコン抵抗で構成されている。

【0032】

内部回路用電源セル6aは、図6に示すように、ロジック領域15と最終段領域16とを有する構成になっている。内部回路用電源セル6aのロジック領域15には回路が構成されておらず、内部回路用電源セル6aの最終段領域16には2つの保護回路16c及び一つの保護抵抗素子16bが配置されている。本実施形態において、内部回路用電源セル6aの最終段領域16は2つの保護回路16cを有する構成になっているが、保護回路16cとしては図6に向かって右の1つ（保護抵抗素子16bと内部回路用電源パッド11aとの間に配置された保護回路16c）だけでも良い。

【0033】

図3及び図4に示すように、信号用セル5と信号用パッド10との電気的な接続は、信号用セル5の最終段領域16側の先端部に設けられた接続部13を介して行われている。内部回路用電源セル6aと内部回路用電源パッド11aとの電気的な接続は、内部回路用電源セル6aの最終段領域16側の先端部に設けられた接続部13を介して行われている。入出力回路用電源セル6bと入出力セル用電源パッド11bとの電気的な接続は、入出力回路用電源セル6bの最終段領域16側の先端部に設けられた接続部13を介して行われている。

【0034】

本実施形態において、半導体チップ1の辺から入出力セル4の外側の端部までの距離L₁は、例えば約150 μ m程度になっており、入出力セル4の内側の端部から内部回路形成部2までの距離L₂は、例えば約120 μ m程度になっている。また、信号用セル5及び内部回路用電源セル6aは、例えば長さが約240 μ m、幅が約40 μ mになっている。また、入出力回路用電源セル6bは、例え

ば長さが約 $200\ \mu\text{m}$ 、幅が約 $50\ \mu\text{m}$ になっている。また、電極パッド 9 の配列ピッチ 9p は例えば $50\ \mu\text{m}$ になっている。

【0035】

信号用パッド 10 は、入出力セル 4 よりも外側に配置され、内部回路用電源配線 8 a は、入出力セル 4 よりも内側に配置されている。内部回路用電源パッド 11 a は、入出力セル 4 よりも内側に配置され、内部回路用電源配線 8 a と平面的に重なるように配置されている。即ち、内部回路用電源パッド 11 a は、信号用パッド 10 よりも内部回路用電源配線 8 a の近くに配置されている。また、図 3、図 4 における内部回路用電源セル 6 a は、内部回路用電源配線 8 a の V_{dd} にも直接結線しており、 V_{dd} 用電源セルを表しているが、内部回路用電源配線 8 a のもう 1 つの V_{ss} 配線に直接結線し、 V_{ss} 用電源セルとしての表現も含む。

【0036】

内部回路用電源パッド 11 a と内部回路用電源配線 8 a との距離は、内部回路用電源パッド 11 a が内部回路用電源配線 8 a に近づくに従って短くなり、内部回路用電源パッド 11 a と内部回路用電源配線 8 a とを結線する結線配線の寄生抵抗も小さくなる。結線配線の寄生抵抗が小さくなれば、結線配線の幅を広くする必要がなくなるため、内部回路用電源セル 6 a の幅を狭くすることができる。従って、内部回路用電源パッド 11 a を信号用パッド 10 よりも内部回路用電源配線 8 a の近くに配置することにより、内部回路用電源セル 6 a の幅を狭くすることができるため、入出力セル 4 の配列ピッチを狭くすることができる。この結果、入出力セル 4 の配列ピッチで決定されるボンディングパッド 9 の配列ピッチ 9p を狭くすることができるため、半導体チップ 1 の小型化、即ちマイクロコンピュータの小型化を図ることができる。

【0037】

図 10 は、本実施形態のマイクロコンピュータ（半導体チップ 1）を組み込んだ BGA 型半導体装置の概略構成を示す模式的平面図であり、

図 11 は、図 10 の BGA 型半導体装置の概略構成を示す模式的断面図であり、
図 12 は、図 11 の一部を拡大した模式的断面図である。

【0038】

図10乃至図12に示すように、BGA型半導体装置20は、インターポーザと呼ばれる配線基板21の主面側に半導体チップ1が実装され、配線基板21の主面と反対側の裏面側に外部接続用端子として複数の半田バンプ（半田ボール）26が配置された構成になっている。

【0039】

半導体チップ1の主面には、図9に示すように、突起状電極として例えばAuからなる複数のスタッドバンプ24が配置されている。複数のスタッドバンプ24は、半導体チップ1の主面に配置された複数のボンディングパッド9上に夫々配置され、電気的にかつ機械的に接続されている。スタッドバンプ24は、例えば、Auワイヤを使用し、熱圧着に超音波振動を併用したボールボンディング法によって形成されている。ボールボンディング法は、Auワイヤの先端部にボールを形成し、その後、ボールの部分からAuワイヤを切断してバンプを形成する方法である。従って、突起状電極としてスタッドバンプ24を用いる半導体チップ1においては、スタッドバンプ形成時の圧着による衝撃が加わる。

【0040】

図11及び図12に示すように、配線基板21の主面には、半導体チップ1のボンディングパッド9と対応して複数のパッド22が配置され、その裏面には複数のパッド23が配置されている。複数のパッド23のそれぞれには半田バンプ26が固着され、電気的にかつ機械的に接続されている。

【0041】

半導体チップ1は、その主面が配線基板21と向かい合う状態で実装されている。半導体チップ1と配線基板21との間には接着用樹脂として例えば異方導電性樹脂25が介在され、この異方導電性樹脂25によって半導体チップ1は配線基板21に接着固定されている。異方導電性樹脂25としては、例えばエポキシ系の熱硬化性樹脂の中に多数の導電粒子が混入されたものを用いている。

【0042】

スタッドバンプ24は、例えば、半導体ウエハをダイシングして個片の半導体チップ1を形成した後、半導体チップ1のボンディングパッド9上にボールボン

ディング法によって形成される。半導体チップ1の実装は、配線基板21の主面のチップ実装領域にフィルム状の異方導電性樹脂25を配置し、その後、配線基板21と半導体チップ1との間に異方導電性樹脂25を介在した状態で、熱を加えながら半導体チップ1をボンディングツールで圧着することによって行われる。なお、接着用樹脂としては、フィルム状の異方導電性樹脂（ACF：Anisotropic Conductive Film）の他に、ペースト状の異方導電性樹脂（ACP：Anisotropic Conductive Paste）や、シート状の非導電性樹脂（NCF：Non Conductive Film）等を用いても良い。

【0043】

スタッドバンプ24は、半導体チップ1のボンディングパッド9と、配線基板の21のパッド22との間に介在され、パッド9とパッド22とを電氣的に接続している。スタッドバンプ24は、配線基板21と半導体チップ1との間に介在された異方導電性樹脂25の熱収縮力（加熱状態から常温に戻った時に生じる収縮力）や熱硬化収縮力（熱硬化性樹脂の硬化時に生じる収縮力）等によって、配線基板21のパッド22に圧接される。この圧接時の応力やスタッドバンプ形成時の衝撃の為、通常、パッドの下には応力や衝撃による特性の劣化や破壊の恐れのある回路を配置することは無いが、内部回路用電源配線8a上にパッドを配置しても、応力や衝撃に敏感な微細加工トランジスタが配置されていない為、回路特性上の影響はほとんどない。

【0044】

このように構成されたBGA型半導体装置20では、半導体チップ1を小型化することによって配線基板21の平面サイズを縮小することができるため、半導体チップ1の小型を図ることでBGA型半導体装置20の小型化を図ることもできる。

【0045】

（実施形態2）

本実施形態では、入出力セル上にボンディングパッドを配置した例について説明する。

【0046】

図 13 は、本実施形態 2 のマイクロコンピュータのレイアウトを示す模式的平面図であり、

図 14 は、図 13 の一部を拡大した模式的平面図である。

【0047】

図 13 及び図 14 に示すように、複数のボンディングパッド 9 は、各々が対応する入出力セル 4 の外側の端部よりも内側に配置されている。本実施形態において、複数のボンディングパッド 9 は、各々が対応する入出力セル 4 と平面的に重なるように配置されている。このような構成にすることにより、半導体チップ 1 の辺から入出力セル 4 外側端部までの距離 L1 を短くすることができるので、半導体チップ 1（マイクロコンピュータ）の小型化を図ることができる。

【0048】

また、圧接時の応力やスタッドバンプ形成時の衝撃の為、通常、パッドの下には応力や衝撃による特性の劣化や破壊の恐れのある回路を配置することは無いが、入出力セル形成部 3 の最終段領域 16 上にパッドを配置しても、応力や衝撃に敏感な微細加工トランジスタが配置されていない為、回路特性上の影響はほとんどない。

【0049】

（実施形態 3）

図 15 は、本実施形態 3 であるマイクロコンピュータのレイアウトを示す模式的平面図であり、

図 16 は、図 15 の一部を拡大した模式的平面図である。

【0050】

図 15 及び図 16 に示すように、内部回路用電源パッド 11a は、入出力セル 4 よりも内側に配置され、内部回路用電源配線 8a と平面的に重なるように配置されている。信号用パッド 10 及び入出力セル用電源パッド 11b は、各々が対応する入出力セル 4 と平面的に重なるように配置されている。この為、内部回路用電源セル 6a の幅を狭くすることができる。このような構成にすることにより、更に半導体チップ 1（マイクロコンピュータ）の小型化を図ることができる。

【0051】

(実施形態 4)

図 17 は、本実施形態 4 のマイクロコンピュータの一部のレイアウトを示す模式的平面図である。

【0052】

図 17 に示すように、内部回路用電源パッド 11a は、入出力セル 4 よりも内側に配置され、内部回路用電源配線 8a と平面的に重なるように配置されている。信号用パッド 10 及び入出力セル用電源パッド 11b は、各々が対応する入出力セル 4 と平面的に重なるように配置されている。複数のボンディングパッド 9 は、半導体チップ 1 の辺側に位置する第 1 のパッド 9 と、第 1 のパッド 9 よりも半導体チップ 1 の辺から離れて位置する第 2 のパッド 9 を半導体チップ 1 の辺に沿って交互に繰り返し配置した千鳥配列になっている。このような構成にすることにより、ボンディングパッド 9 の配列方向において、互いに隣り合うボンディングパッド 9 の間隔が広くなるので、スタッドバンプ形成工程やワイヤボンディング工程での生産性が向上する。また、インターポーザ 21 の配線も容易になることも生産性向上に寄与する。

【0053】

(実施形態 5)

図 18 は、本実施形態 5 のマイクロコンピュータのレイアウトを示す模式的平面図である。

【0054】

図 18 に示すように、内部回路形成部 2 には、配線チャネル形成領域で区分された複数の回路ブロック (2a, 2b, 2c, 2d, 2e) が配置されている。配線チャネル領域には、各回路ブロック間を結線する配線が形成されている。

【0055】

内部回路形成部 2 には、内部回路用電源セル 6a 及び内部回路用電源パッド 11a が配置されている。内部回路用電源セル 6a 及び内部回路用電源パッド 11a は、回路ブロックと平面的に重ならない領域、即ち配線チャネル形成領域に配置されている。このような構成にすることにより、内部回路用の電源系の特性を高めることができる。また、配線チャネル形成領域には回路を構成するトランジ

スタ素子が形成されていないため、内部回路用電源パッド 11a にスタッドバン
プやボンディングワイヤを接続する時の衝撃に起因する不良を抑制することがで
きる。

【0056】

なお、内部回路形成部 2 における内部回路用電源セル 6a は省略することもで
きる。

【0057】

(実施形態 6)

図 19 は、本実施形態 6 のマイクロコンピュータの一部のレイアウトを示す模
式的平面図である。

【0058】

前述の実施形態では、信号用パッド 10 と信号用セル 5 との電氣的な接続を、
信号セル 5 の外側（半導体チップ 1 の辺側）で行っているが、本実施形態では、
信号用パッド 10 と信号用セル 5 との電氣的な接続を、信号セル 5 の内側（内部
回路形成部 2 側）で行っている。このような構成にすることにより、ボンディン
グパッド 9 と接続部 13 との距離が短くなり回路特性が向上する。また、比較的
応力や衝撃の影響を受け易い入出力セル 4 の中のロジック領域 15 が半導体チッ
プ 1 の周辺側（縁側）に配置されるため、ボンディングパッド 9 の配置が容易に
なる。本実施形態では、ボンディングパッド 9 の配置が 4 列になっている。

【0059】

(実施形態 7)

図 20 は、本実施形態 7 のマイクロコンピュータの一部のレイアウトを示す模
式的平面図であり、

図 21 は、図 20 と同一の領域におけるボンディングパッドの配列状態を示す
模式的平面図であり、

図 22 は、本実施形態 7 の半導体集積回路装置（半導体チップ）を組み込んだ
BGA 型半導体装置の概略構成を示す模式的断面図であり、

図 23 は、図 22 の一部を拡大した模式的断面図である。

【0060】

本実施形態では、図 2 0 及び図 2 1 に示すように、信号用セル 5 と信号用パッド 1 0 との接続を信号用セル 5 の内側（半導体チップ 1 の辺側）で行う点は実施形態 6 と同じである。

【 0 0 6 1 】

図 2 2 及び図 2 3 に示すように、本実施形態の B G A 型半導体装置 3 0 は、半導体チップ（マイクロコンピュータ） 1 と配線基板 2 1 との接続を半田バンプ 3 1 で行っている。従って、図 2 1 に示すボンディングパッド 9 は、半田バンプ接続用のバンプランドとしての形状（例えば平面形状が円形状）になっている。

【 0 0 6 2 】

図 2 2 及び図 2 3 に示すように、B G A 型半導体装置 3 0 は、配線基板（インターポーザ） 2 1 の主面側に半導体チップ 1 が実装され、配線基板 2 1 の主面と反対側の裏面側に外部接続用端子として複数の半田バンプ（半田ボール） 2 6 が配置された構成になっている。

【 0 0 6 3 】

半導体チップ 1 は、その主面が配線基板 2 1 の主面と向かい合う状態で実装されている。半導体チップ 1 と配線基板 2 1 との間には複数の半田バンプ 3 1 が介在されている。複数の半田バンプ 3 1 の夫々は、半導体チップ 1 の各ボンディングパッド（本実施形態ではバンプランド） 9 と配線基板 2 1 の各パッド（配線の一部からなる接続部） 2 3 との間に配置され、各ボンディングパッド 9 と各パッド 2 2 とを夫々電気的にかつ機械的に接続している。

【 0 0 6 4 】

半導体チップ 1 と配線基板 2 1 との間の間隙領域には、例えばエポキシ系の熱硬化型絶縁性樹脂からなるアンダーフィル樹脂 3 2 が充填（注入）されている。このアンダーフィル樹脂 3 2 は、配線基板 2 1 に半導体チップ 1 を実装した後、配線基板 2 1 と半導体チップ 1 との間に注入される。半田バンプ 3 1 は、例えば半導体チップ 1 のボンディングパッド上に半田ボールを供給した後、熱処理を施して半田ボールを溶融することによって形成される。半導体チップ 1 の実装は、半田バンプ 3 1 が形成された半導体チップ 1 を配線基板 2 1 上に配置した後、半熱処理を施して半田バンプ 3 1 を溶融することによって行われる。

【0065】

半田バンプ31による接続方式は、バンプ形成時や半導体チップ1と配線基板21との接続時にも衝撃が加わることが無い為、半導体チップ1上のどの場所にもボンディングパッド9を配置できる。図21では、4列のパッド配置を示しており、パッドピッチp1を大きくできる(例えば約200 μ m)。

【0066】

なお、ボンディングパッド9の配置は、2列、又は3列、若しくは5列以上に行うことができる。

【0067】

(実施形態8)

図24は、本実施形態8のBGA型半導体装置において、半導体チップのボンディングパッドと配線基板の裏面側のパッドとの結線関係を示す模式図であり、図25は、図24の一部を拡大した模式図である。

【0068】

図24及び図25に示すように、半導体チップ1の複数のボンディングパッド9は、半導体チップ1の辺側に位置する第1のパッド9と、第1のパッド9よりも半導体チップ1の辺から離れて位置する第2のパッド9を半導体チップ1の辺(半導体チップ1の縁)に沿って交互に繰り返して配置した千鳥配列になっている。複数の第1のパッド9からなる第1のパッド群(半導体チップ1の辺から数えて1列目)は、信号用パッド10及び入出力セル用電源パッド11bを含み、複数の第2のパッド9からなる第2のパッド群(半導体チップ1の辺から数えて2列目)は、内部回路用電源パッド11aを含む。

【0069】

図25及び図26には図示していないが、半導体チップ1のボンディングパッド9と電氣的に接続される配線基板21のパッド(図23及び図24参照)22は、半導体チップ1のボンディングパッド9と対応して配置されている。即ち、配線基板21のパッド22は、配線基板21のチップ搭載領域(半導体チップ1が搭載された領域)において、配線基板21の辺側に位置する第1のパッド22と、第1のパッド22よりも配線基板21の辺から離れて位置する第2のパッド

22を配線基板21の辺（縁）に沿う方向に交互に繰り返し配置した千鳥配列になっている。

【0070】

配線基板21の裏面側の複数のパッド23は、配線基板21の周辺領域に複数列（本実施形態では4列）で配置されている。即ち、複数のパッド23は半導体チップ1の直下を除く周囲に配置されている。

【0071】

配線基板21の主面には、配線基板の主面のパッド22とその裏面のパッド23とを電氣的に接続するための配線27が複数配置されている。この複数の配線27は、配線基板21のチップ搭載領域（半導体チップ1が搭載された領域）から配線基板21の周辺に向かって引き出されている。複数の配線27のうち、第2のパッド22とパッド23とを電氣的に接続するための配線27は、第1のパッド22間を通して配線基板21のチップ搭載領域からその周囲に引き出されている。このような構成にすることにより、半導体装置30の電源強化及び小型化を図ることができる。

【0072】

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0073】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0074】

本発明によれば、半導体集積回路装置の回路の特性を保持或いは高めることができると同時に、小型化を図ることができる。この場合の回路の特性とは、電源用結線配線の寄生抵抗を小さくし、電源系インピーダンスを低減することをいう。電源系インピーダンスを低減することにより、回路特性の動作電圧マージンを大きくし、かつ、ノイズの低減、及びノイズの低減による動作時のタイミングマ

ージンも広くすることができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 2】

図 1 の一部を拡大した模式的平面図である。

【図 3】

図 2 の一部を拡大した模式的平面図である。

【図 4】

図 3 の一部を拡大した模式的平面図である。

【図 5】

図 4 の信号用セルの概略構成を示すブロック図である。

【図 6】

図 4 の内部回路用電源セルの概略構成を示すブロック図である。

【図 7】

図 5 の信号用セルに搭載される入出力回路の一例を示す等価回路図である。

【図 8】

図 5 の信号用セルに搭載される保護回路の一例を示す等価回路図である。

【図 9】

図 1 の半導体チップの概略構成を示す模式的断面図である。

【図 1 0】

本発明の実施形態 1 である半導体集積回路装置を組み込んだ B G A 型半導体装置の概略構成を示す模式的平面図である。

【図 1 1】

図 1 0 の B G A 型半導体装置の概略構成を示す模式的断面図である。

【図 1 2】

図 1 1 の一部を拡大した模式的断面図である。

【図 1 3】

本発明の実施形態 2 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 1 4】

図 1 3 の一部を拡大した模式的平面図である。

【図 1 5】

本発明の実施形態 3 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 1 6】

図 1 5 の一部を拡大した模式的平面図である。

【図 1 7】

本発明の実施形態 4 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 1 8】

本発明の実施形態 5 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 1 9】

本発明の実施形態 6 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 2 0】

本発明の実施形態 7 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 2 1】

本発明の実施形態 7 である半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 2 2】

本発明の実施形態 7 である半導体集積回路装置を組み込んだ B G A 型半導体装置の概略構成を示す模式的断面図である。

【図 2 3】

図 2 2 の一部を拡大した模式的断面図である。

【図 2 4】

本発明の実施形態 8 である BGA 型半導体装置において、半導体チップのボンディングパッドと配線基板の裏面側のパッドとの結線関係を示す模式図である。

【図 2 5】

図 2 4 の一部を拡大した模式図である。

【図 2 6】

従来の半導体集積回路装置のレイアウトを示す模式的平面図である。

【図 2 7】

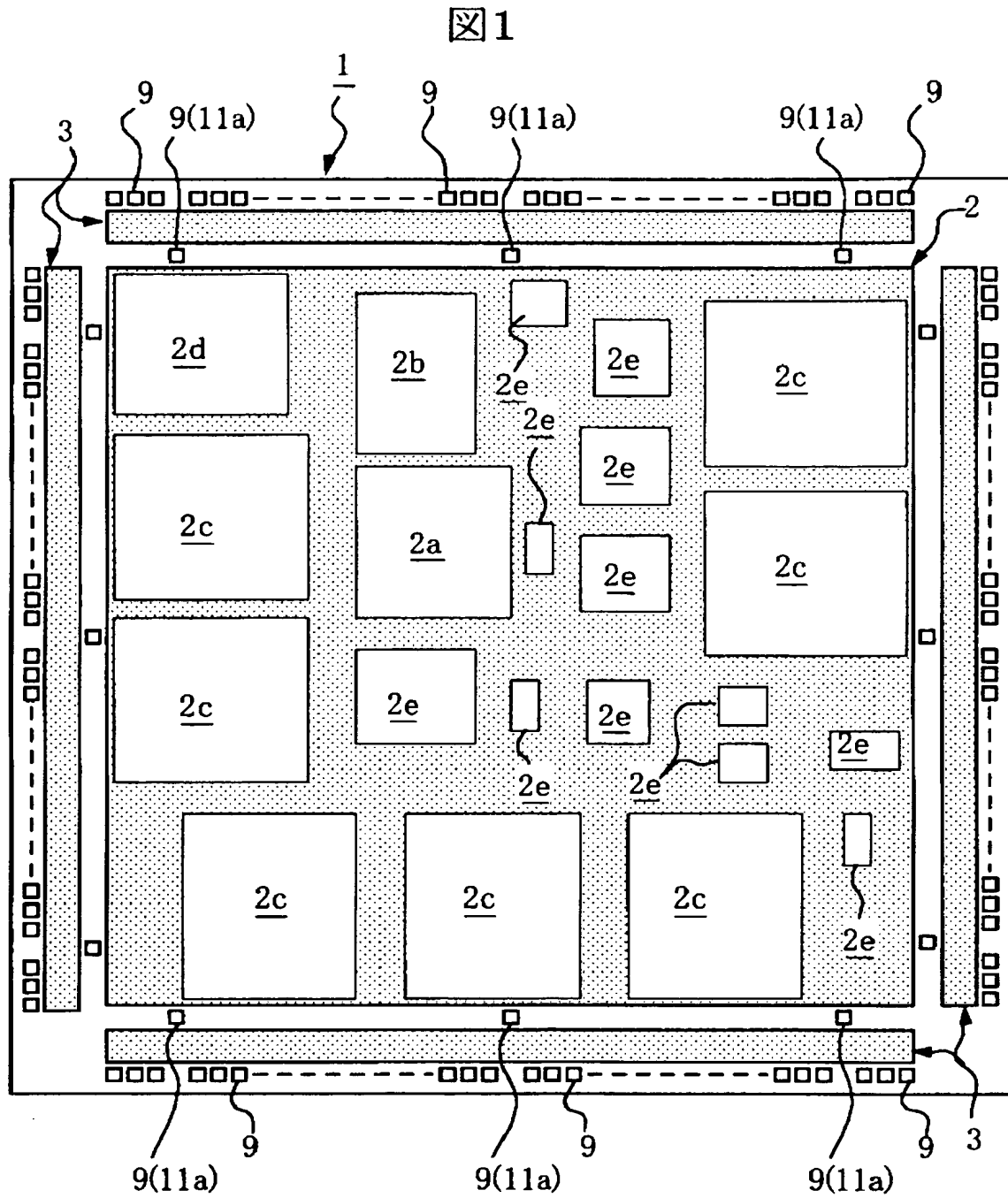
図 2 6 の一部を拡大した模式的断面図である。

【符号の説明】

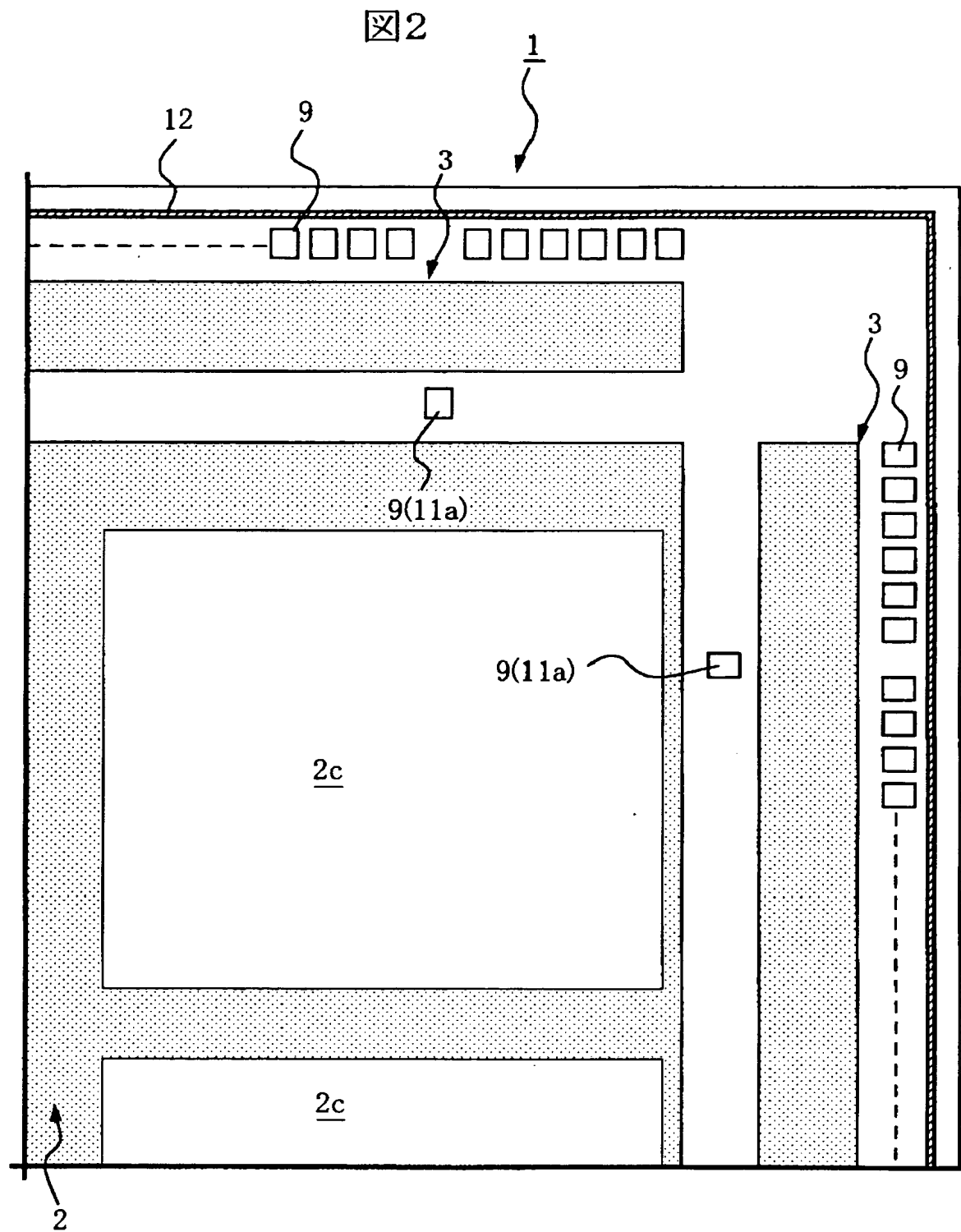
1…半導体チップ、2…内部回路形成部、2 a, 2 b, 2 c, 2 d, 2 e…回路ブロック、
3…入出力セル形成部、4…入出力セル、5…信号用セル、6 a…内部回路用電源セル、6 b…入出力回路用電源セル、
8 a…内部回路用電源配線、8 b…入出力セル用電源配線、
9…ボンディングパッド、10…信号用パッド、11 a…内部回路用電源パッド、11 b…入出力セル用電源パッド、
12…ガードリング、13…接続部、
15…ロジック領域、15 a…出力回路、15 b…入力回路、16…最終段領域、16 a…最終段出力回路、16 b…保護抵抗素子、16 c…保護回路、
20…半導体装置、21…配線基板（インターポーザ）、22, 23…パッド、24…スタッドバンプ（突起状電極）、25…異方導電性樹脂、26…半田バンプ（外部接続用端子）、27…配線。

【書類名】 図面

【図 1】

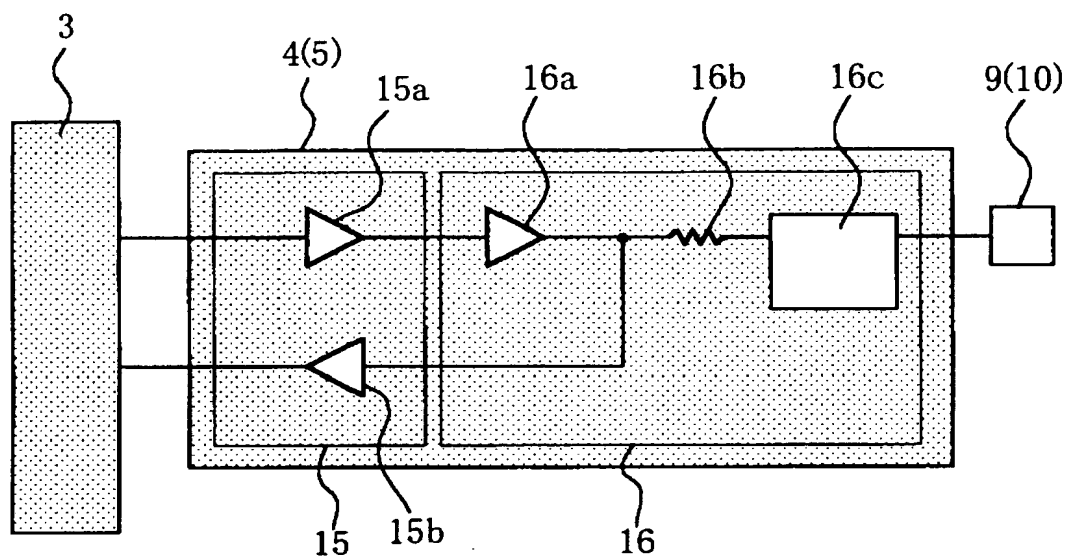


【図 2】



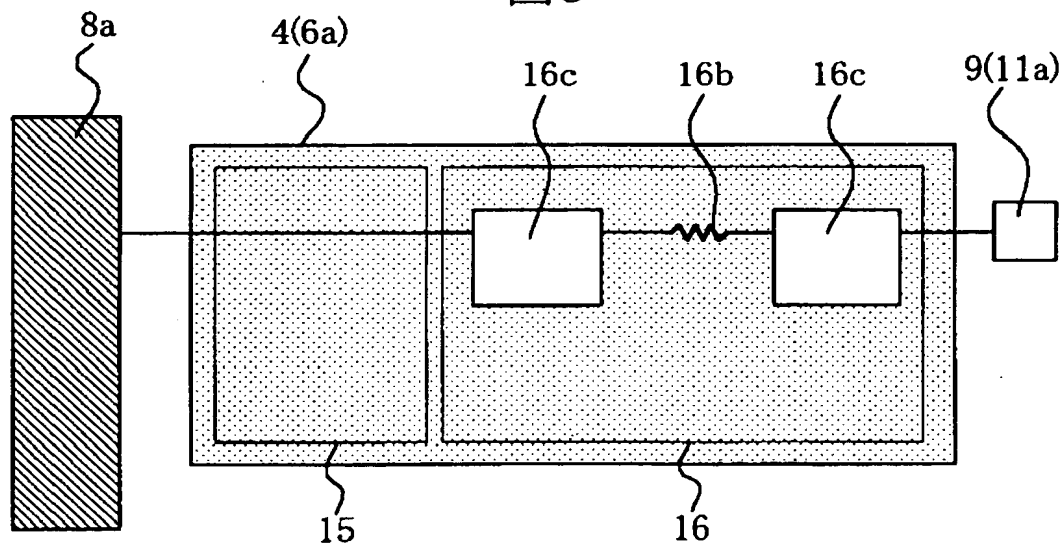
【図 5】

図5



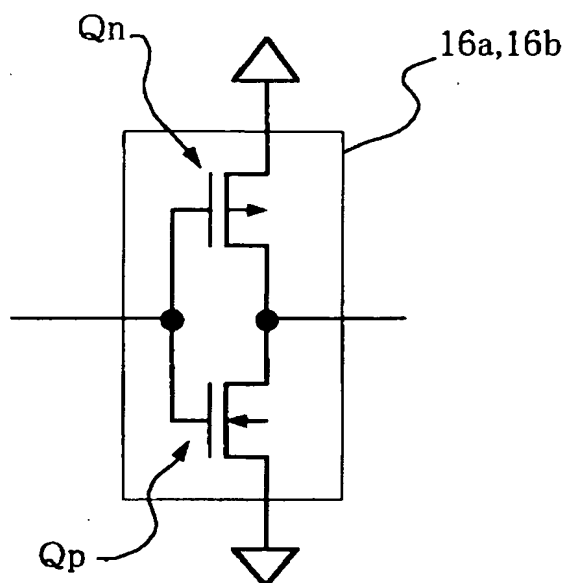
【図 6】

図6



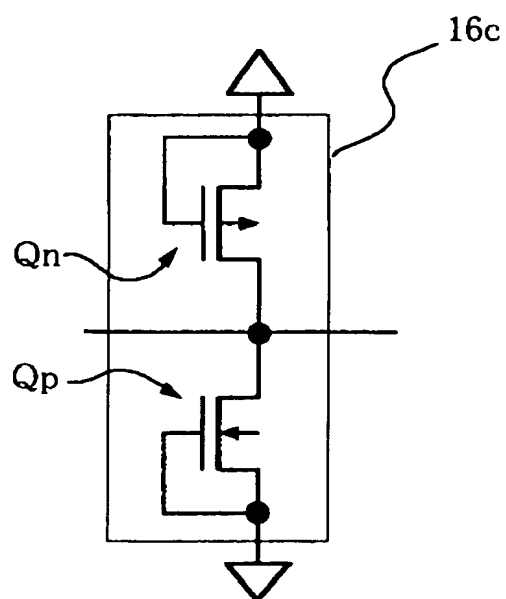
【図 7】

図 7



【図 8】

図 8



【図 9】

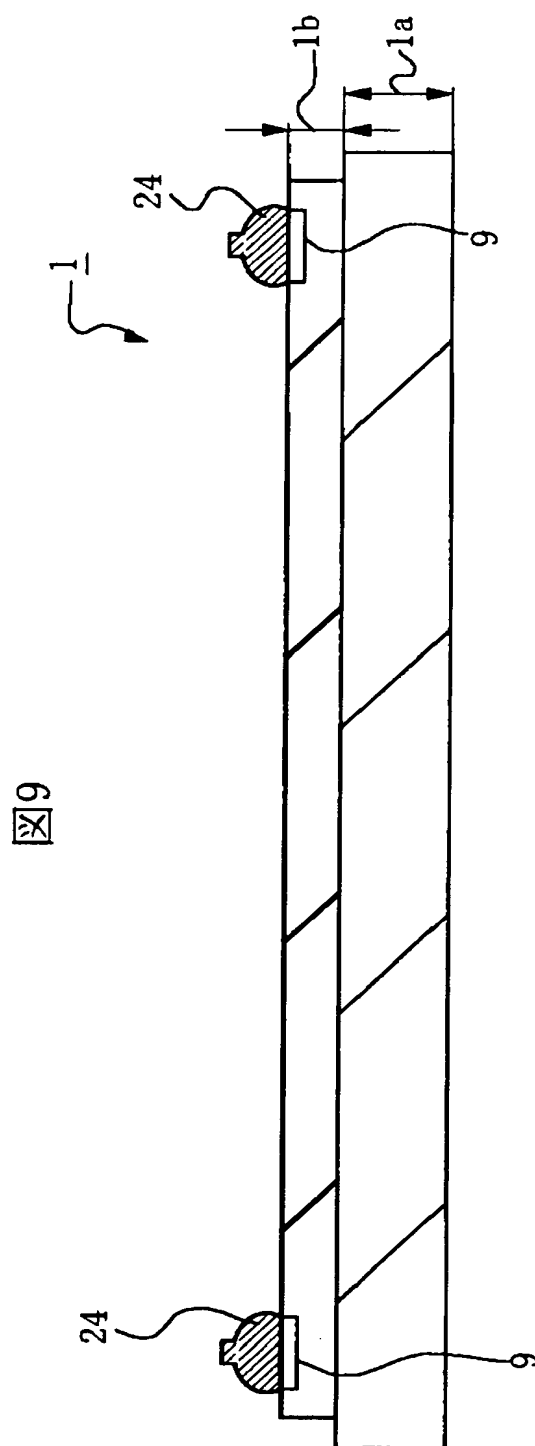
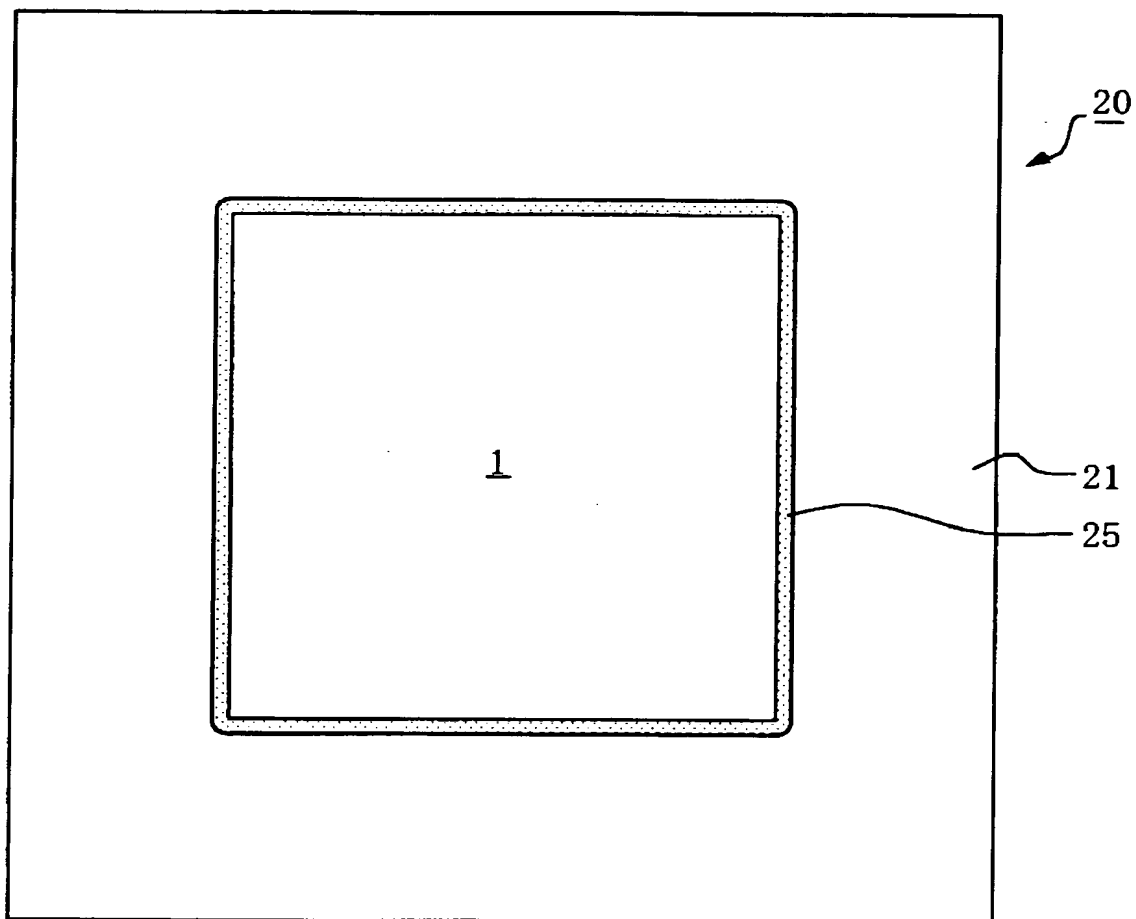


図 9

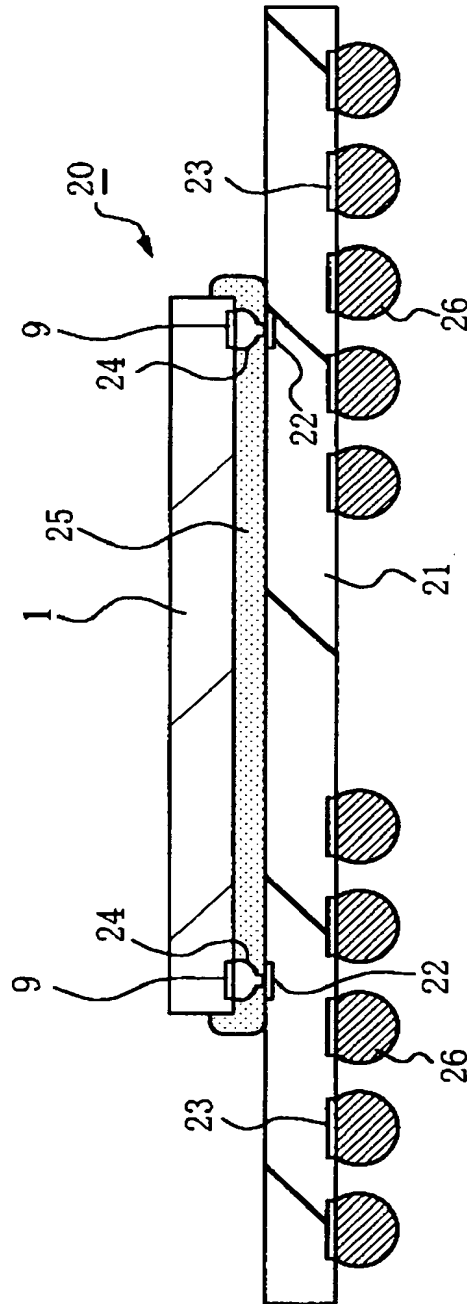
【図 10】

図 10



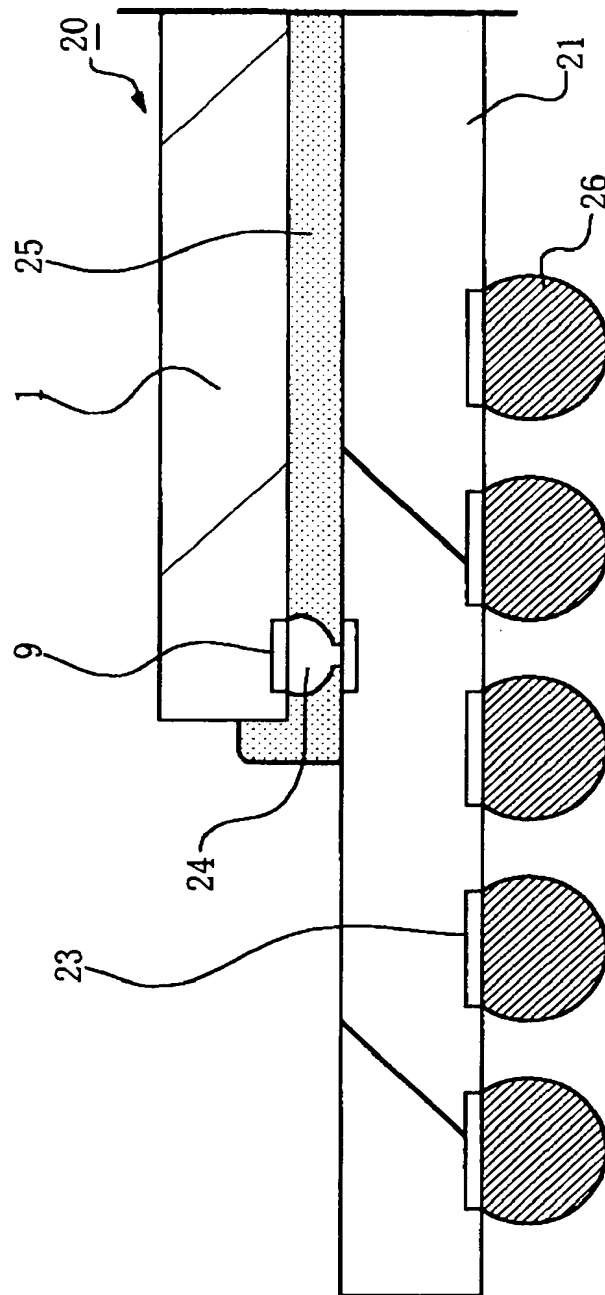
【図 11】

図 11



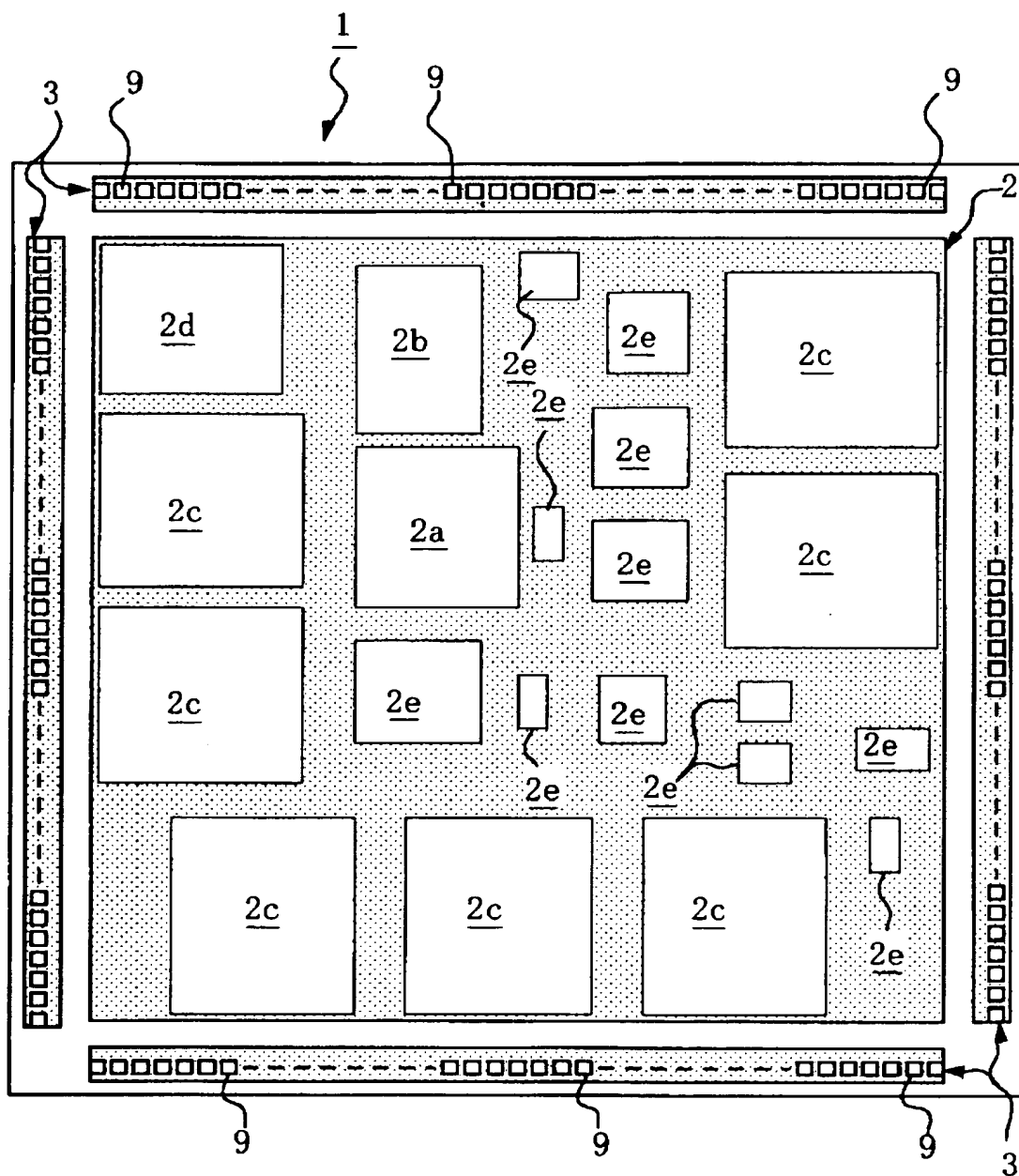
【図 12】

図12

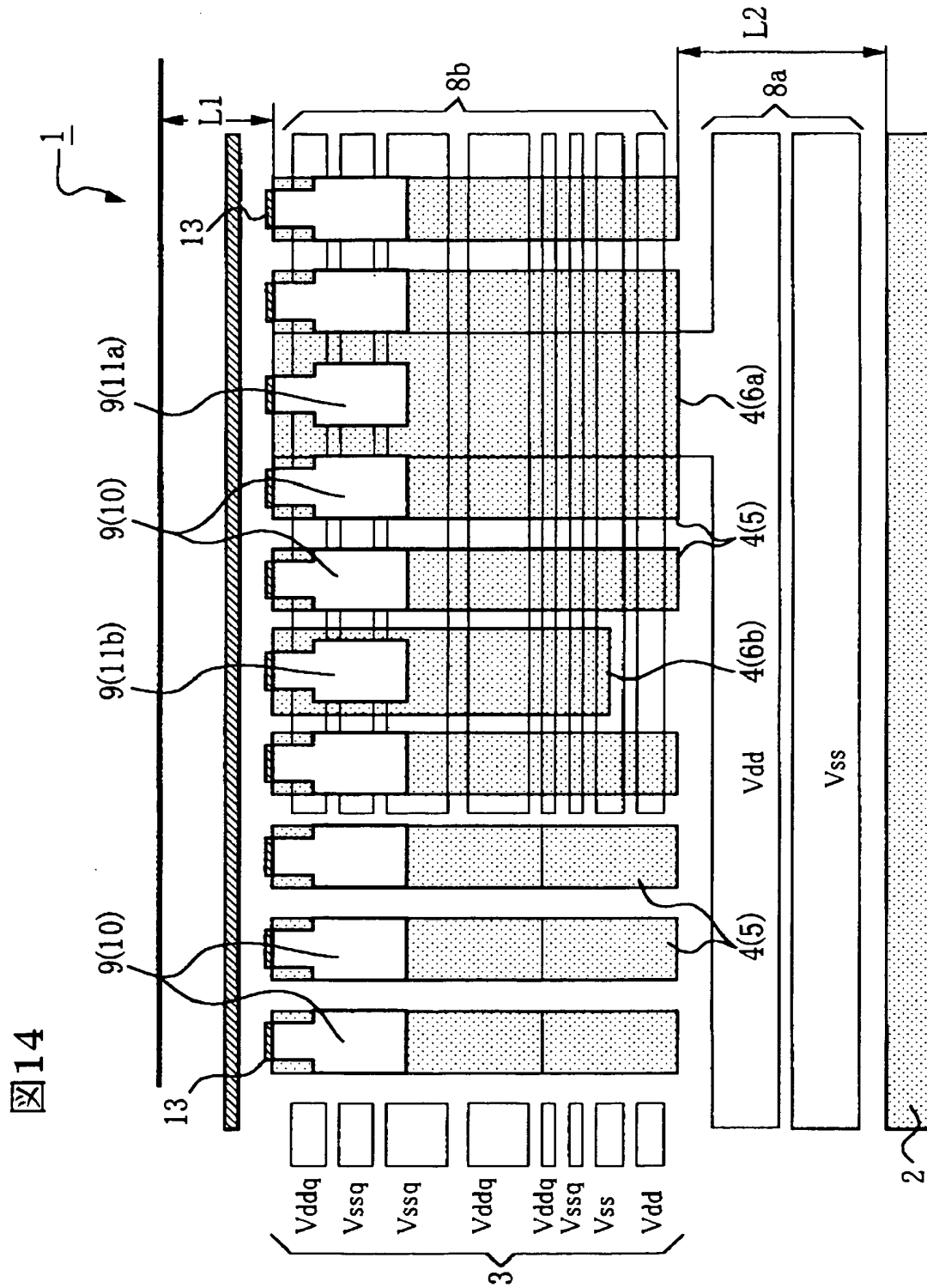


【図 13】

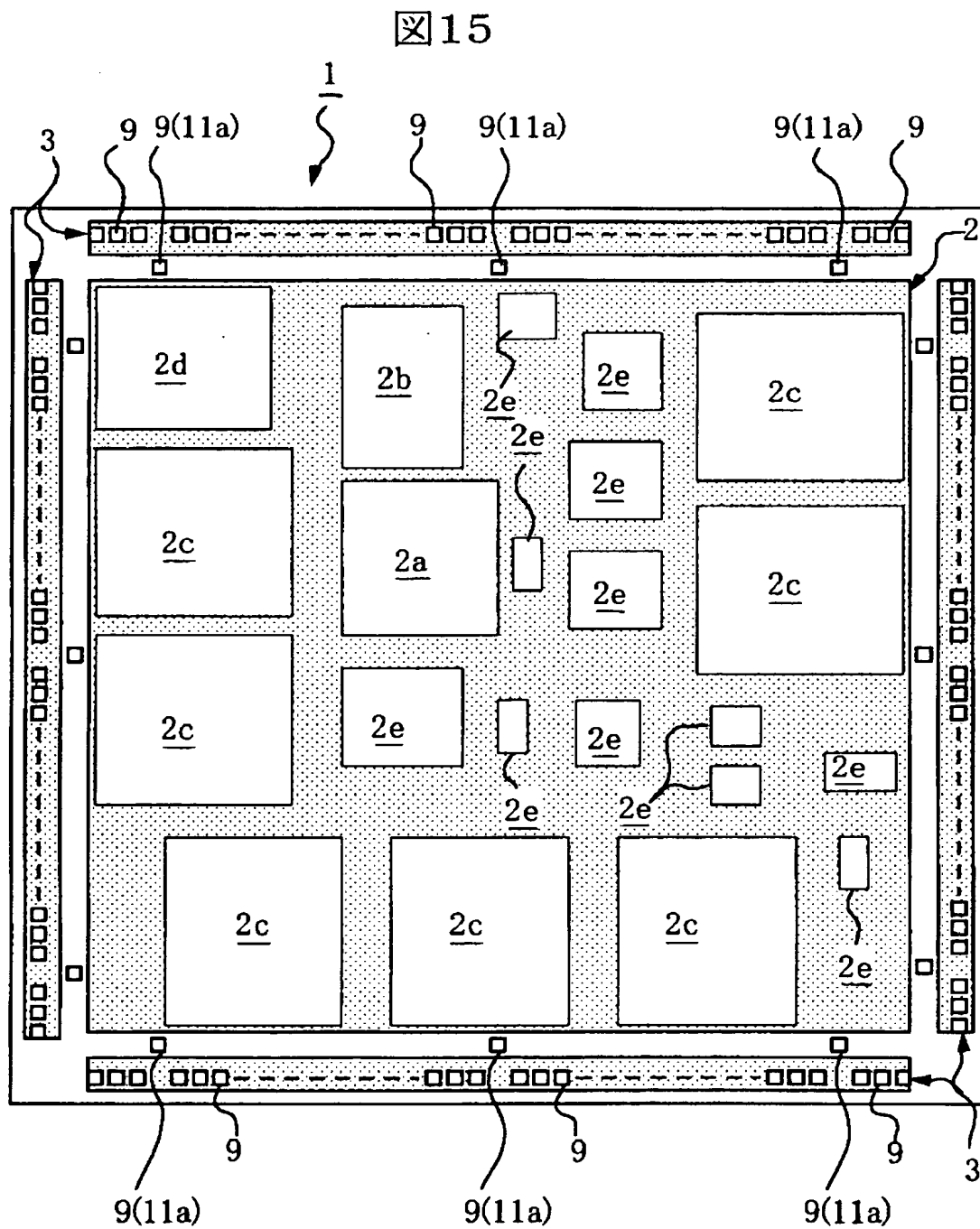
図13



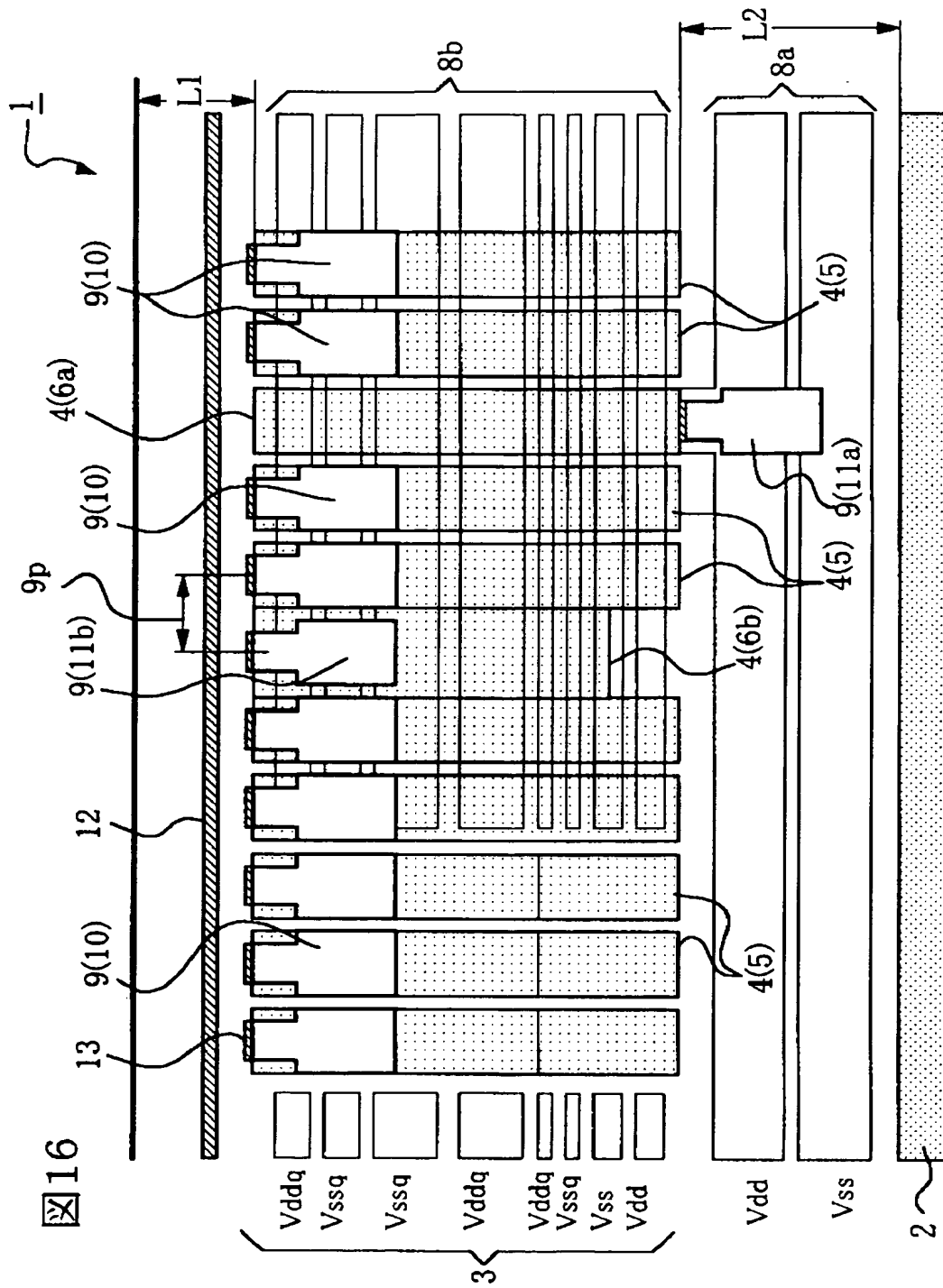
【図 14】



【図15】

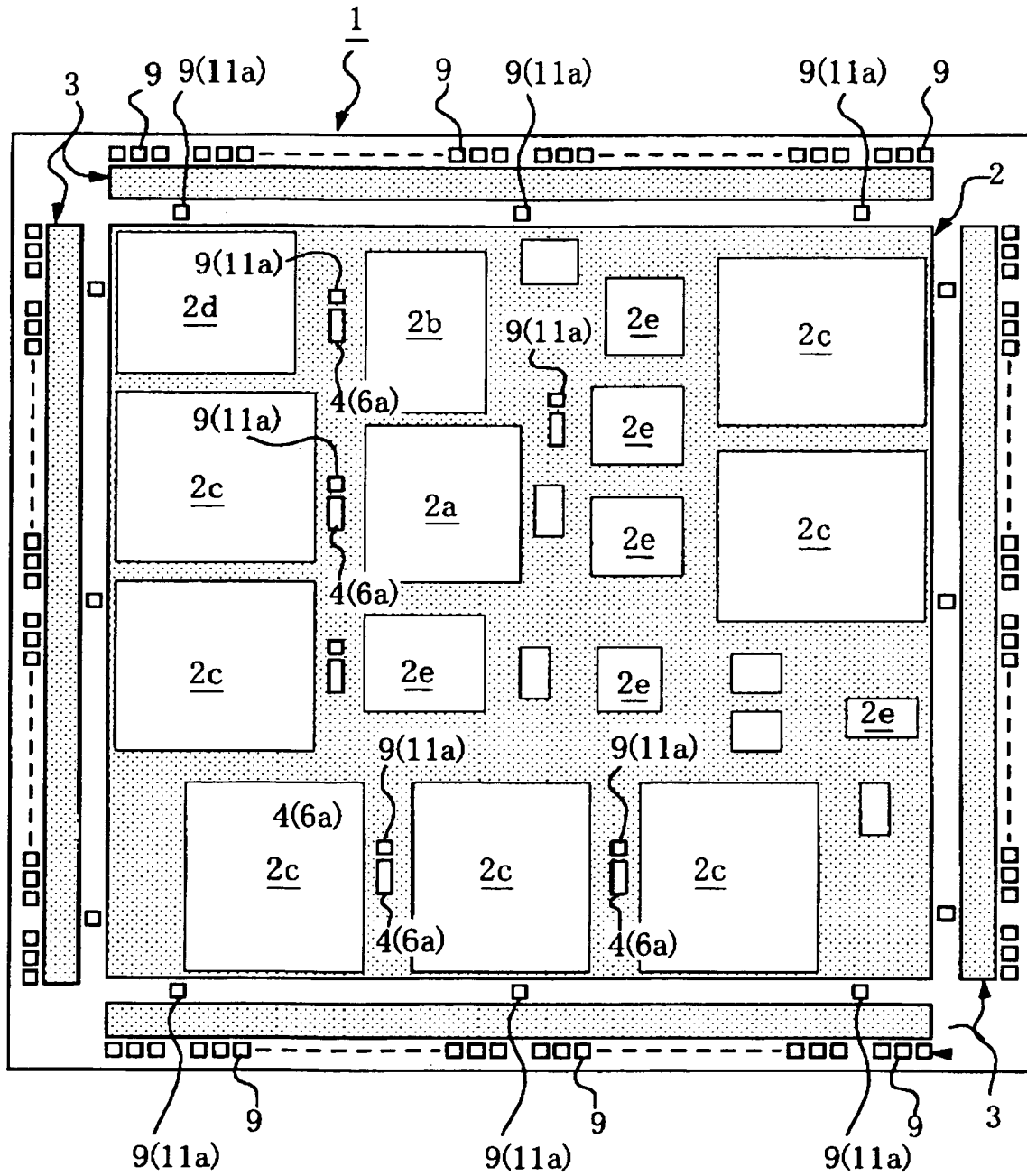


【図 16】

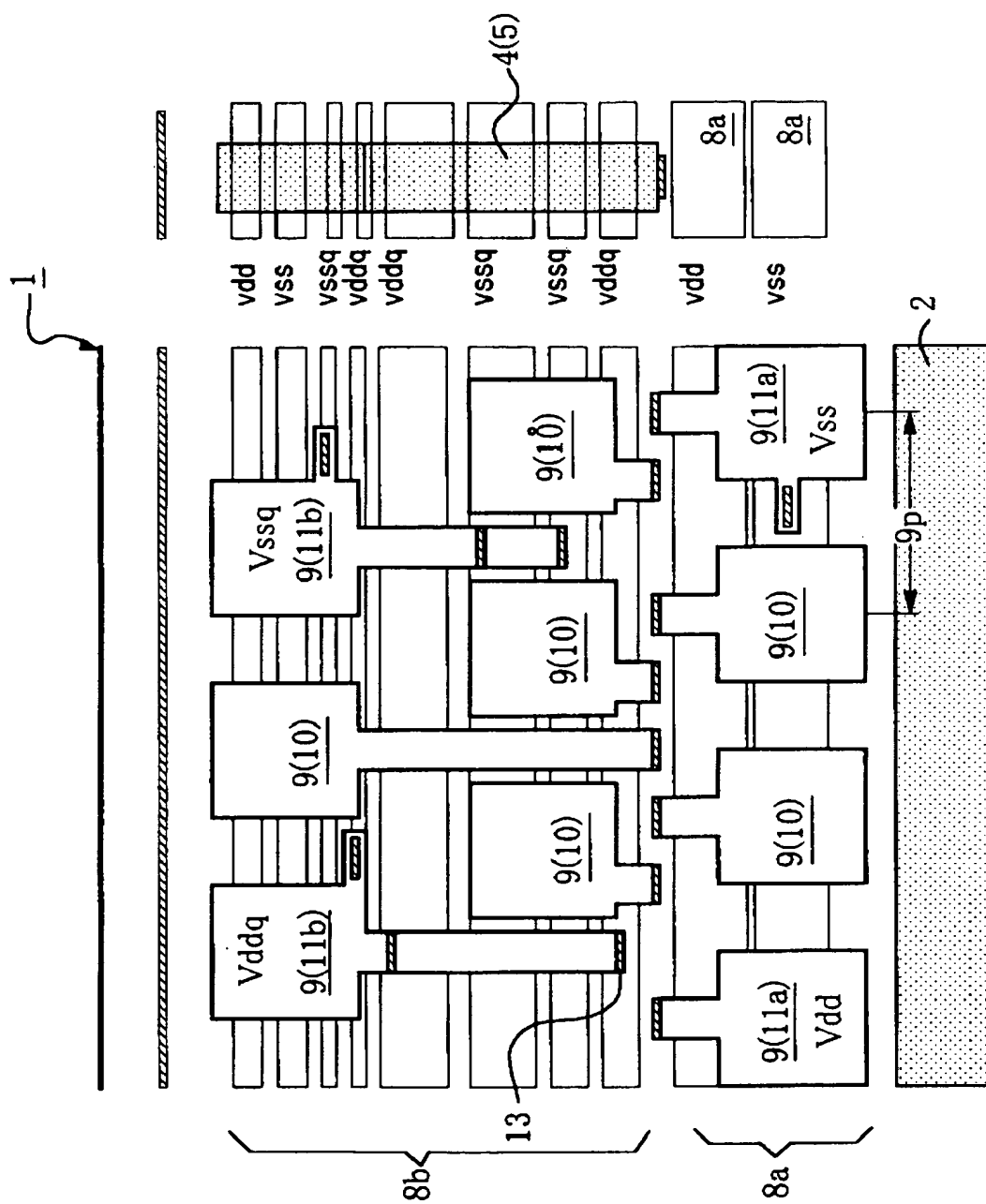


【図 18】

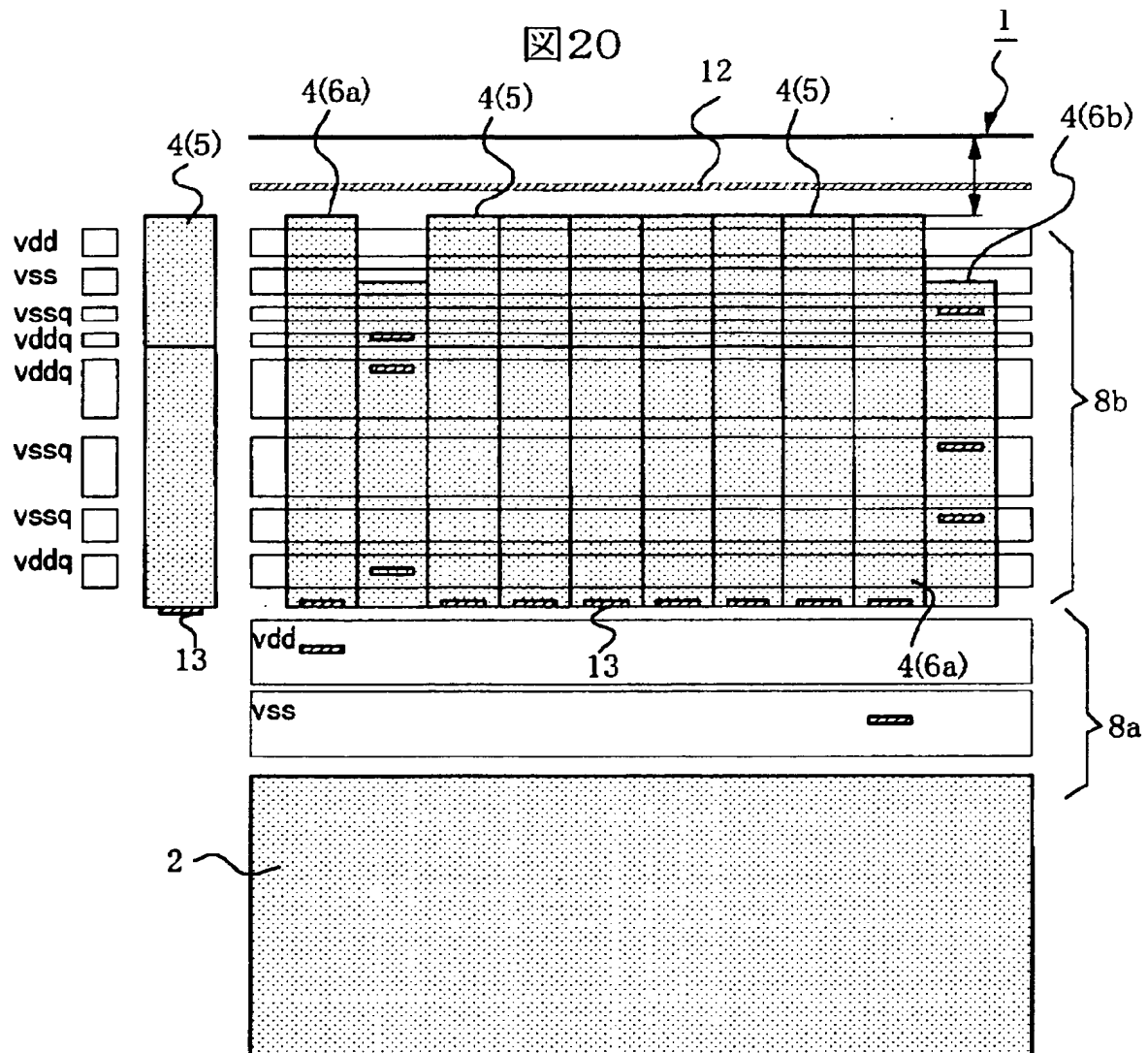
図18



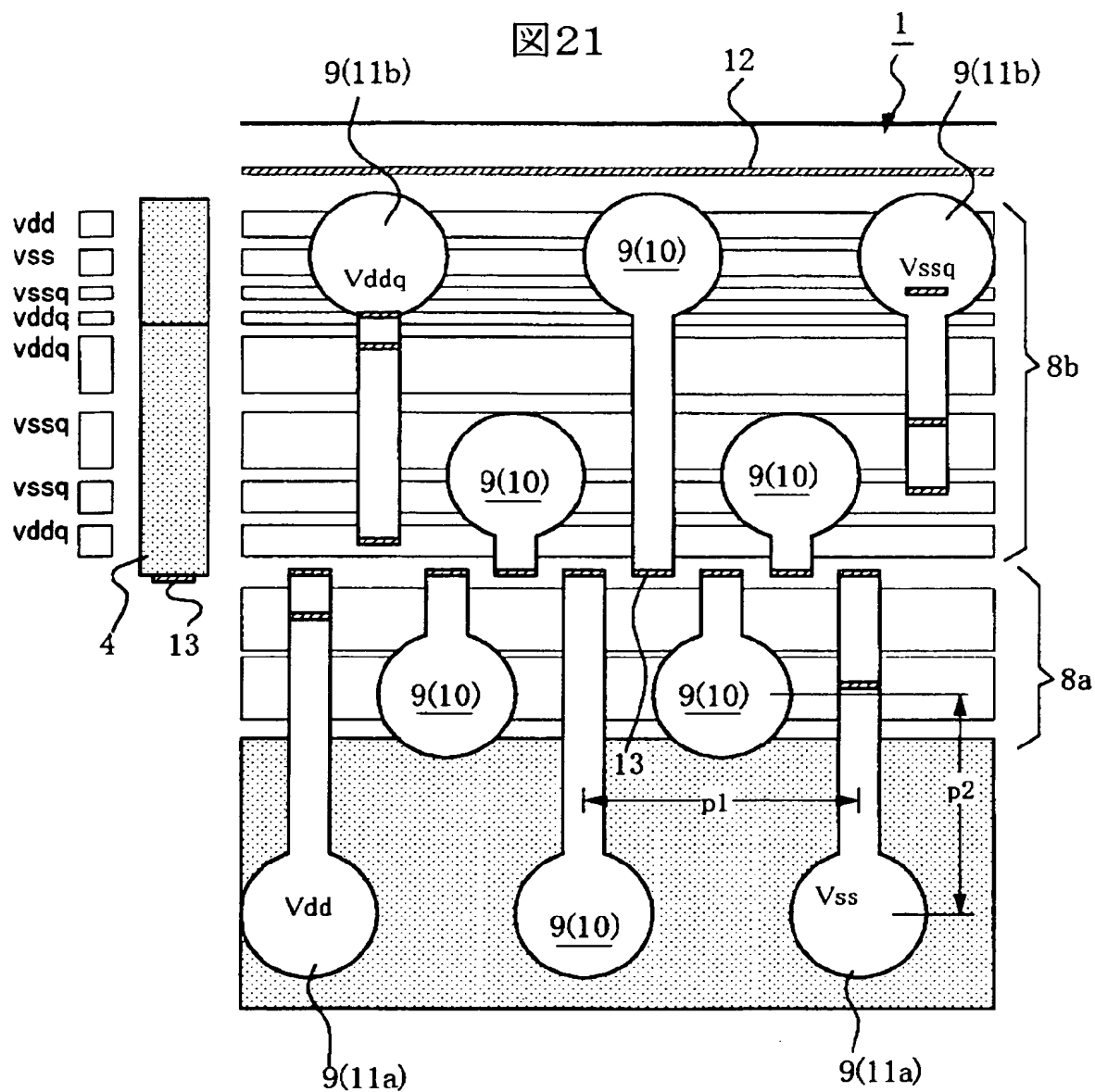
【図 19】



【図 20】

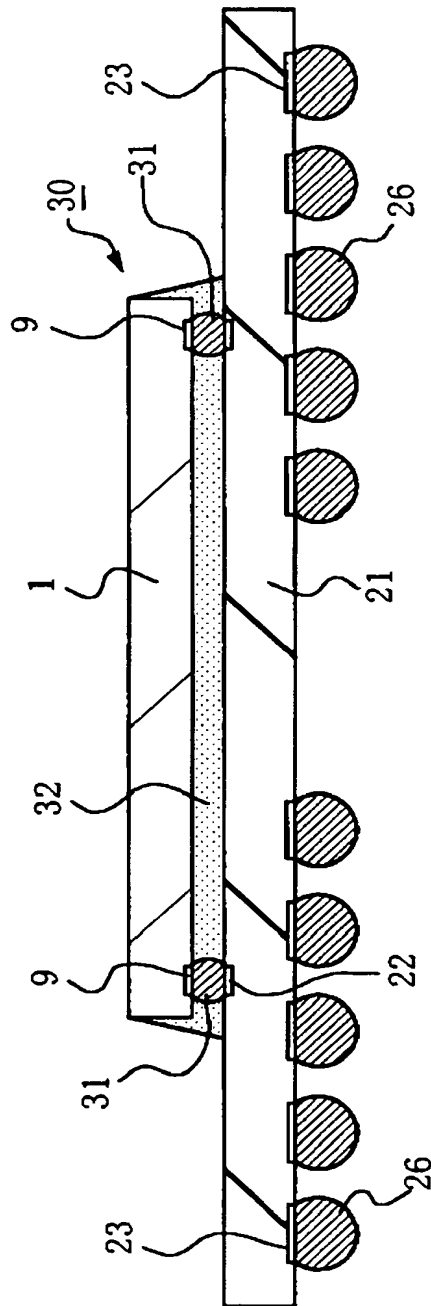


【図 21】



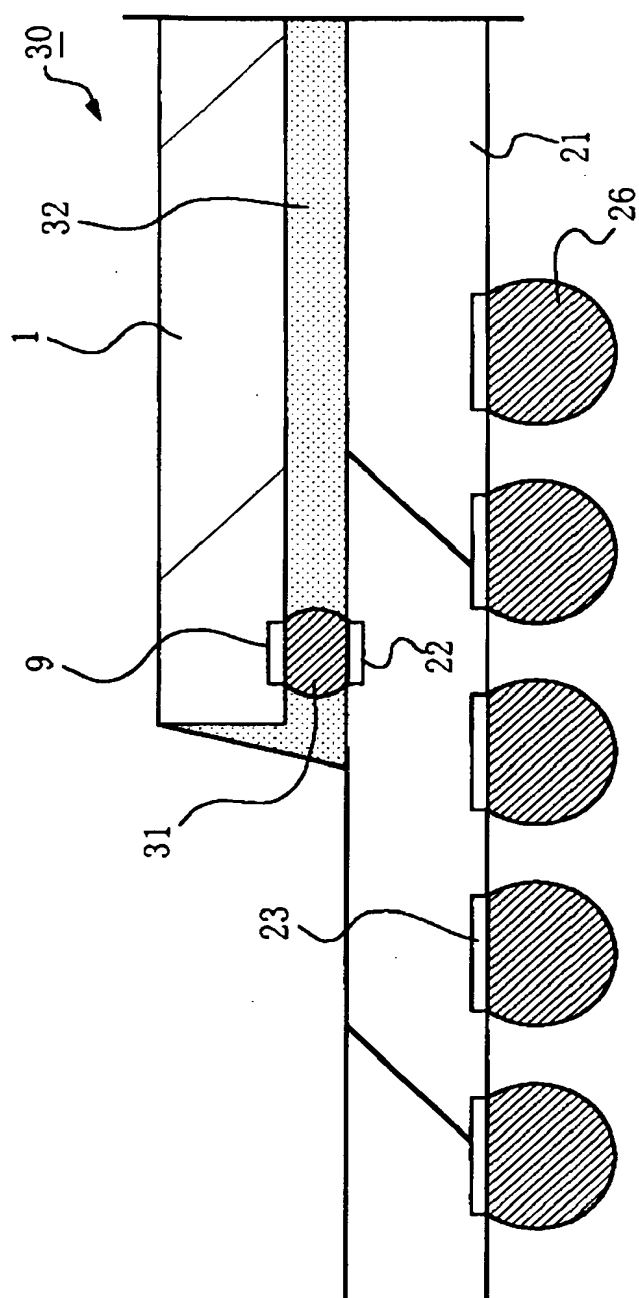
【図 22】

図22



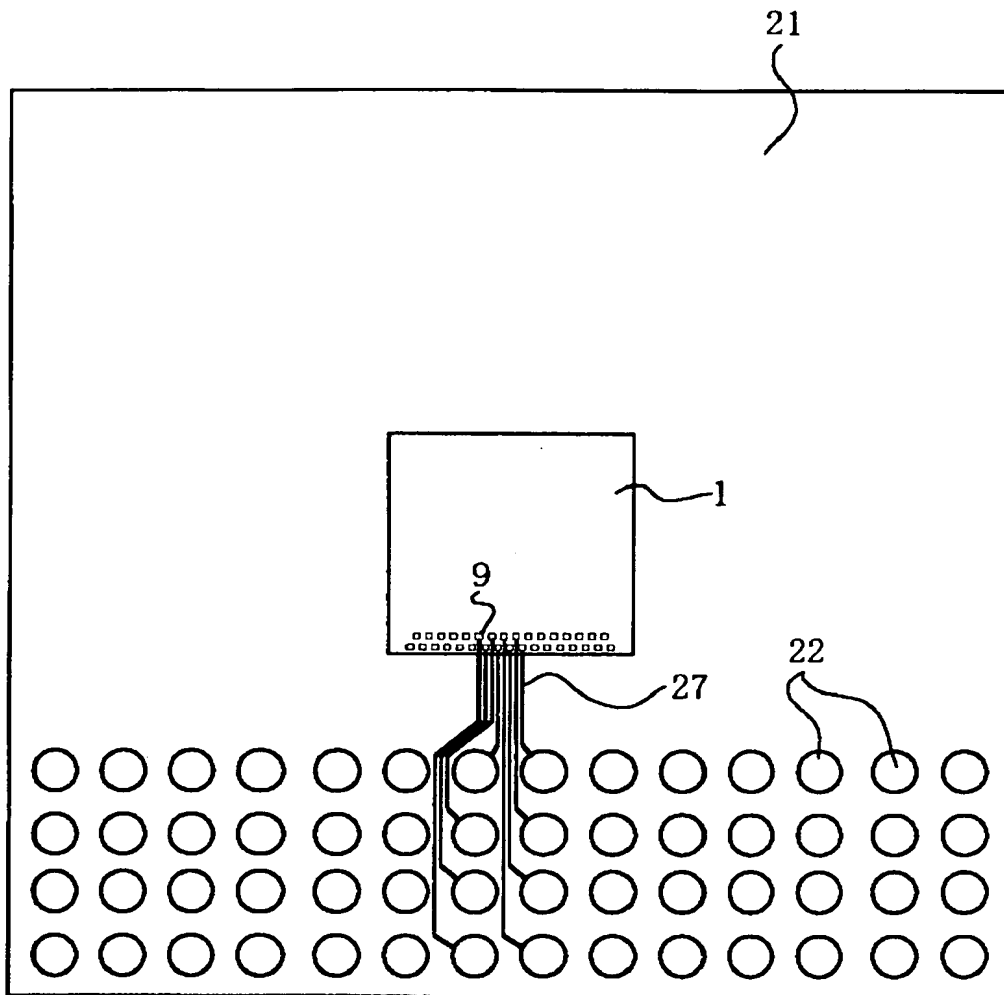
【図 23】

図23



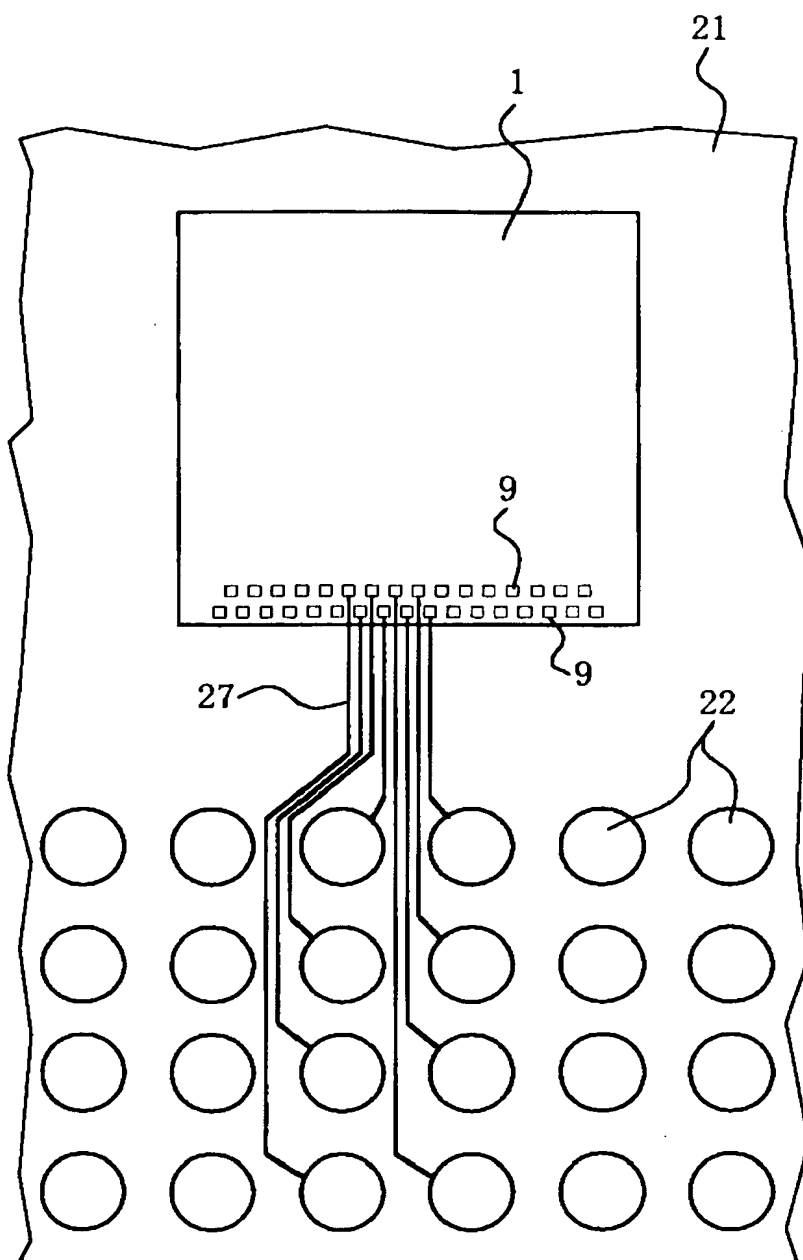
【図 24】

図 24

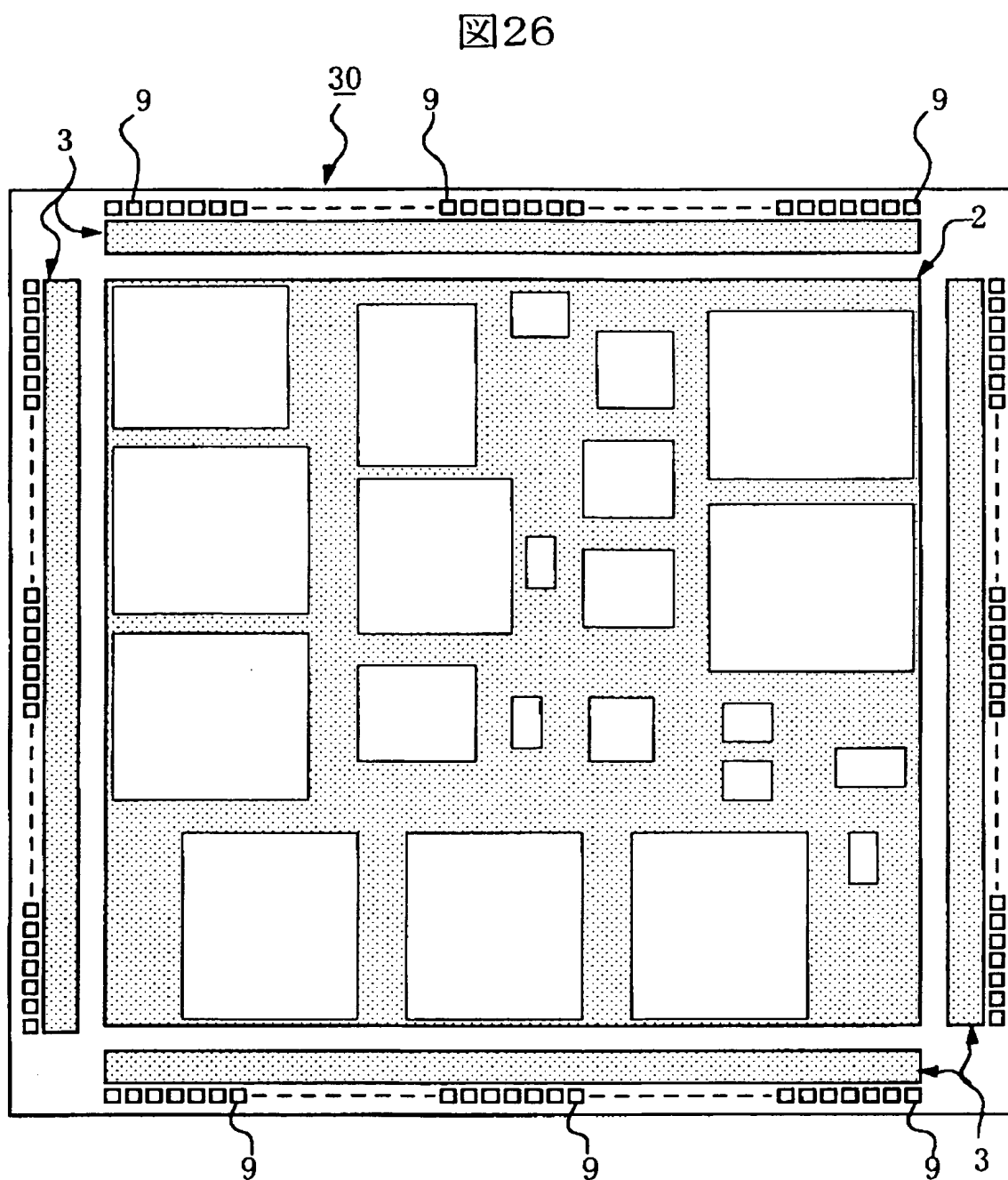


【図 25】

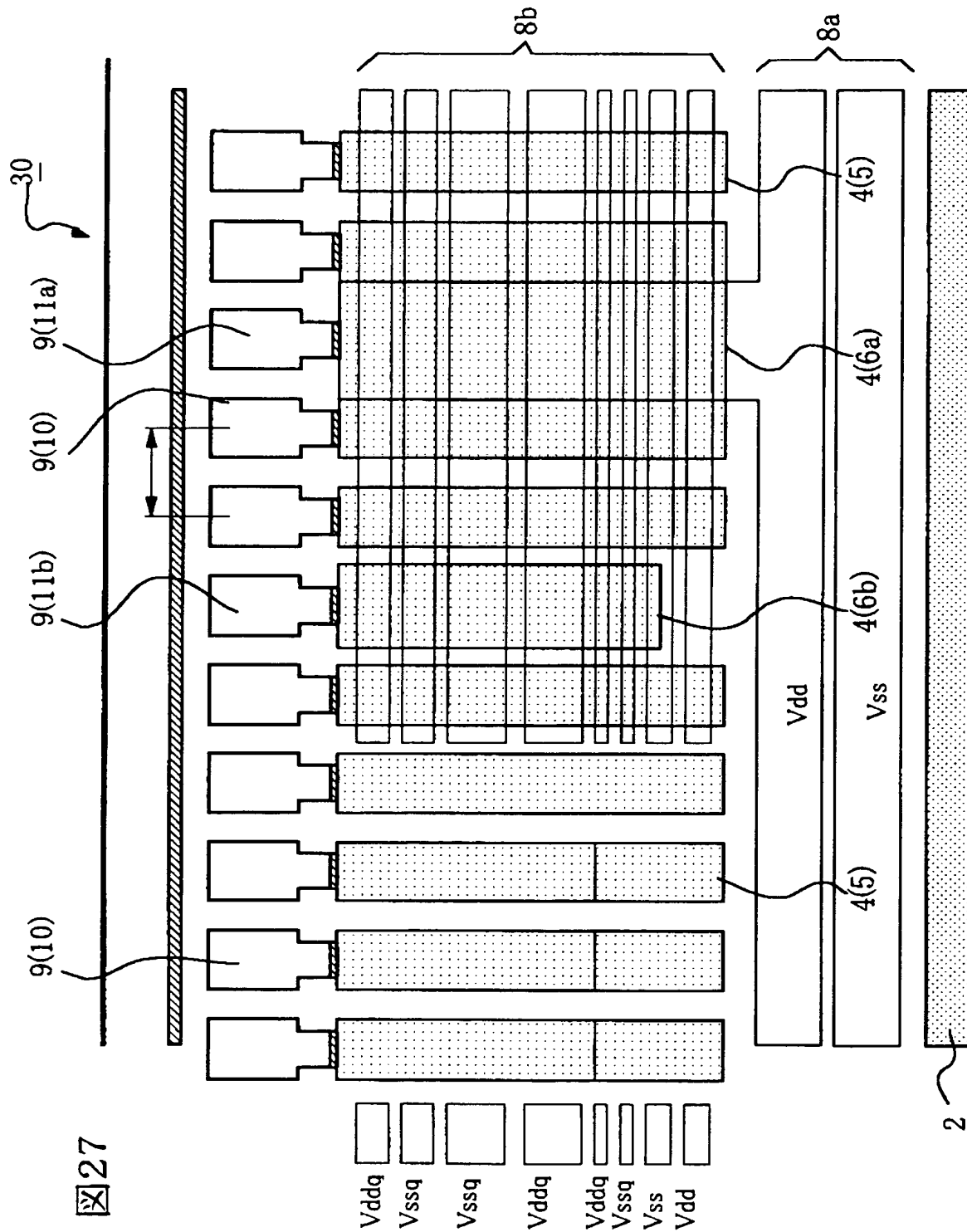
図25



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置の特性を保持或いは高めると共に小型化を図る。

【解決手段】 平面が方形状の半導体基板と、前記半導体基板の主面上に前記半導体基板の一辺に沿って配置された複数のパッドと、前記半導体基板の主面上に前記複数の電極パッドに対応して配置された複数の入出力セルと、前記半導体基板の主面上であって前記複数の入出力セルよりも内側に配置された内部回路形成部と、前記内部回路形成部に電位を供給する内部回路用電源配線であって、前記複数の入出力セルよりも内側に配置された内部回路用電源配線とを有し、

前記複数の入出力セルは、信号用セルと、内部回路用電源セルとを含み、

前記複数のパッドは、前記信号用セルに対応して配置され、かつ前記信号用セルと電氣的に接続された信号用パッドと、前記内部回路用電源セルに対応して配置され、かつ前記内部回路用電源セル及び前記内部回路用電源配線と電氣的に接続された内部回路用電源パッドとを含み、

前記内部回路用電源パッドは、前記信号用電源パッドよりも前記内部回路用電源配線の近くに配置されている。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 8 1 6 0 7
受付番号	5 0 2 0 1 4 4 5 1 3 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 1 日

< 認定情報・付加情報 >

【提出日】	平成14年 9月26日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2002-281607
【承継人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
【識別番号】 100083552
【弁理士】
【氏名又は名称】 秋田 収喜
【提出物件の目録】
【包括委任状番号】 0308731
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する
【物件名】 権利の承継を証明する承継証明書 1
【援用の表示】 特願平 5 - 1 6 1 5 4 5 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 8 1 6 0 7
受付番号	5 0 3 0 1 2 2 9 8 9 4
書類名	出願人名義変更届（一般承継）
担当官	植田 晴穂 6 9 9 2
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成15年 7月25日

特願 2 0 0 2 - 2 8 1 6 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 2 8 1 6 0 7

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ